

# Entwicklung und Charakterisierung eines autarken Sensor-Tags im Chip-Film Patch

Development and characterization of a standalone sensor tag in  
Chip-Film Patch

**Masterarbeit**

Zur Erlangung des Akademischen Grades  
Master of Science (M.Sc.)  
in  
Mechatronik

**Michael Kübler**

**Matrikelnummer: 3128060**

**Betreuung: M.Sc. Ulrike Passlack**

**M.Sc. Steffen Epple**

**Prüfer: Prof. Dr. Joachim Burghartz**

**Zweitprüfer: Prof. Dr. André Zimmermann**

Abgabedatum: 1. Oktober 2022

## Zusammenfassung

Der Bedarf an Sensorik zur Zustandsüberwachung im Bereich technischer Systeme und in der Medizintechnik wächst stetig. Besonders geeignet hierfür sind flexible elektronische Systeme. Durch ihre geometrische Anpassungsfähigkeit eignen sie sich für den Einsatz in bestehenden Maschinen und am menschlichen Körper.

Auf Basis der am Institut für Mikroelektronik Stuttgart entwickelten Chip-Film Patch Technologie soll in dieser Arbeit eine vollständig flexible Sensor-Folie entwickelt werden, die einen Temperatursensor und einen Dehnungssensor enthält. Die Kommunikation und Energieversorgung des Systems sollen über eine NFC-Schnittstelle erfolgen. Sowohl ein Mikrocontroller als auch ein NFC-Chip mit zugehöriger Antenne sowie die beiden Sensoren werden in ein Sensor-System integriert. Als Methode zur Einbettung werden sowohl die Face-Up Methode, als auch die Verbindung über Nanodrähte der Firma NanoWired untersucht. Als Auslesegerät lässt sich ein handelsübliches Smartphone verwenden. Mit Hilfe eines Prototyps wird zuerst das Systemkonzept verifiziert und in ein herstellbares Layout überführt. Nach der Herstellung des Systems wird die Funktionsfähigkeit überprüft und das Verhalten der integrierten Sensoren charakterisiert.

**Schlagwörter:** Hybrid System-in-Foil, Temperatursensor, Dehnungssensor, NFC-Tag

## Abstract

The demand for sensors for condition monitoring in the field of technical systems and medical technology is growing steadily. Flexible electronic systems are particularly suitable for this purpose. Their geometric adaptability makes them suitable for use in existing machines and on the human body.

Based on the Chip-Film Patch technology developed at the Institut für Mikroelektronik Stuttgart, this work will develop a flexible sensor film containing a temperature sensor and a strain sensor. The communication and power supply of the system shall be done via an NFC interface. Both a microcontroller and an NFC chip with associated antenna as well as the two sensors will be integrated into a sensor system. As a method for embedding, both the face-up method and the connection via nanowires developed by the company NanoWired are being investigated. A commercially available smartphone can be used as the readout device. With the help of a prototype, the system concept is first verified and transferred into a manufacturable layout. After the system has been manufactured, its functionality will be verified and the behavior of the integrated sensors will be characterized.

**Keywords:** Hybrid System-in-Foil, temperature-sensor, strain-sensor, NFC-Tag

# Inhaltsverzeichnis

<b>Abkürzungen</b>	<b>VI</b>
<b>Abbildungsverzeichnis</b>	<b>VIII</b>
<b>Tabellenverzeichnis</b>	<b>IX</b>
<b>Einleitung und Motivation</b>	<b>1</b>
<b>1 Grundlagen</b>	<b>3</b>
1.1 Chip-Film Patch Prozess . . . . .	3
1.1.1 Face-Up Prozess . . . . .	3
1.1.2 Face-Down Prozess . . . . .	7
1.2 Sensoren . . . . .	10
1.2.1 Spannungsteiler . . . . .	10
1.2.2 Resistiver Temperatursensor . . . . .	12
1.2.3 Resistiver Dehnungssensor . . . . .	13
1.3 Near-Field Communication . . . . .	14
1.3.1 Grundlagen . . . . .	14
1.3.2 NFC-Kommunikation . . . . .	15
1.3.3 Auslegung Antenne . . . . .	17
1.3.4 Resonanzfrequenz Messung . . . . .	19
1.4 Verwendete integrierte Schaltkreise . . . . .	20
1.4.1 EM6819 Microcontroller . . . . .	21
1.4.2 EM NF4 NFC-Chip . . . . .	22
<b>2 Konzeption</b>	<b>24</b>
2.1 Ansatz . . . . .	24



2.2	Anforderungen . . . . .	26
2.2.1	NFC-Tag System . . . . .	26
2.2.2	Sensor-System . . . . .	28
2.3	Prototyp . . . . .	29
2.3.1	Entwurf . . . . .	29
2.3.2	Aufbau . . . . .	30
2.3.3	Vermessung NF4 . . . . .	33
2.4	Aufbau Foliensysteme . . . . .	36
2.4.1	System Face-Up . . . . .	36
2.4.2	System Nanodrähte . . . . .	42
2.4.3	Sensor-System . . . . .	44
2.5	Konzeption Pad-Vergoldung . . . . .	51
2.6	Messeinrichtungen . . . . .	54
2.7	Zusammenfassung . . . . .	55
<b>3</b>	<b>Realisierung</b> . . . . .	<b>57</b>
3.1	System Face-Up . . . . .	57
3.1.1	Prozessfluss . . . . .	57
3.1.2	Ätzen Metall 1 . . . . .	59
3.1.3	Chip Platzierung . . . . .	61
3.1.4	Topografie Kapselung . . . . .	64
3.1.5	Litho Metall 2 . . . . .	65
3.1.6	Ätzen Metall 2 . . . . .	67
3.1.7	Zusammenfassung . . . . .	67
3.2	Sensor-System . . . . .	68
3.2.1	Prozessfluss . . . . .	69
3.2.2	Zusammenfassung . . . . .	70
3.3	Pad Vergoldung . . . . .	71
3.3.1	Prozessfluss . . . . .	71
3.3.2	Gold Lift-off . . . . .	72
3.3.3	Rückseiten Ätzung . . . . .	74
3.3.4	Zusammenfassung . . . . .	75
3.4	Zusammenfassung . . . . .	75

<b>4 Elektrische Charakterisierung</b>	<b>76</b>
4.1 Face-Up NFC-Tag . . . . .	76
4.1.1 Charakterisierung Resonanzfrequenz . . . . .	76
4.1.2 Funktionsprüfung . . . . .	78
4.2 Elektrische Charakterisierung des Sensor-Systems . . . . .	80
4.2.1 Versuchsdurchführung . . . . .	80
4.2.2 Messergebnisse . . . . .	81
4.2.3 Diskussion der Messergebnisse . . . . .	83
<b>5 Zusammenfassung und Ausblick</b>	<b>85</b>
<b>Anhang: Übersicht der verwendeten Geräte</b>	<b>88</b>
<b>Literaturverzeichnis</b>	<b>92</b>
<b>Erklärung</b>	<b>93</b>

# Abkürzungen

## Abkürzungen

---

<i>Abkürzung</i>	<i>Erklärung</i>
ADC	Analog-to-digital converter
AM	Amplituden-Modulation
BCB	Bisbenzocyclobutene
CFP	Chip-Film Patch
ENIG	Electroless Nickel Immersion Gold
FFC	Flat flexible cable
HySiF	Hybride Systeme-in-Folie
IC	Integrated circuit
IMS	Institut für Mikroelektronik Stuttgart
NDEF	NFC Data Exchange Format
NFC	Near-Field Communication
NMP	N-Methyl-2-pyrrolidon
NTC	Negative-temperature-coefficient
PCB	Printed circuit board
PEB	Post exposure bake
PTC	Positive-temperature-coefficient
PI	Polyimid

---

# Abbildungsverzeichnis

1.1	Prozessfluss der Face-Up Chip Einbettung . . . . .	5
1.2	Prozessfluss der Face-Down Chip Einbettung mit Nanodrähten . . . . .	9
1.3	Schaltbild eines Spannungsteilers . . . . .	11
1.4	Funktionsprinzip der NFC-Kommunikation . . . . .	14
1.5	Funktionsstruktur der NFC-Datenverarbeitung . . . . .	16
1.6	Ersatzschaltbild eines NFC-Chips mit zugehöriger Antenne . . . . .	18
1.7	Ersatzschaltbild des NFC-Tags in Anwesenheit eines elektromagnetischen Feldes . . . . .	18
1.8	Funktionsprinzip des Messaufbaus für die Bestimmung der Resonanzfrequenz eines NFC-Tags . . . . .	20
1.9	Lichtmikroskopaufnahme eines gesägten Dies des Mikrocontrollers EM6819 . . . . .	21
1.10	Lichtmikroskopaufnahme eines gesägten Dies des NFC-Chips EM NF4 . . . . .	22
2.1	Systemstruktur des NFC-Tags . . . . .	24
2.2	Schematische Gliederung in einzelne Teilsysteme . . . . .	25
2.3	Gezeichnetes Layout und Anordnung der Platinen des Prototyps . . . . .	30
2.4	Aufnahmen der aufgebauten Prototypen mit aufgeklebten Si-Chips: (a) E6819, (c) NF4 und Mikroskopaufnahmen: (b) EM6819, (d) NF4 . . . . .	32
2.5	Blockschaltbild der Vermessung des NF4-Chips . . . . .	33
2.6	U-I Kennlinie der Spannungsversorgung des NF4 mit unterschiedlichen Lesegeräten (Mobilendgeräte) . . . . .	34
2.7	U-I Kennlinie der Spannungsversorgung des NF4 mit unterschiedlichen Varianten der Antenne (vgl. Tab. 2.1) . . . . .	35
2.8	Schaltplan des NFC-Tags . . . . .	38

2.9	Layout der NFC-Antenne: 40 mm x 30 mm, 200 $\mu\text{m}$ breite Bahnen mit 6 Windungen . . . . .	39
2.10	Layout des Tuning-Kondensators . . . . .	40
2.11	Layout des Verdrahtung des NFC-Tags . . . . .	41
2.12	Schaltplan des Sensor-Systems . . . . .	46
2.13	Berechnetes Verhalten des Temperatursensors am ADC . . . . .	48
2.14	Layout der Messwiderstände des Temperatursensors . . . . .	49
2.15	Layout des Dehnungssensors und des Referenzwiderstands . . . . .	50
2.16	Ablauf der Herstellung des Sensor-Systems . . . . .	51
2.17	Prozessfluss der Pad-Vergoldung . . . . .	53
2.18	Layout der Adapterplatine zwischen Multiplexer und vier Patches . . . . .	55
3.1	(a) Lackmaske nach der Entwicklung, (b) Strukturiertes Metall nach Ätzung, (c) Schematischer Aufbau des Trägerwafers . . . . .	60
3.2	Mikroskopaufnahmen der Genauigkeit der Chip-Platzierung vor (a)/(b) und nach dem Pad-open Ätzschritt (c)/(d) . . . . .	62
3.3	Profilometer Aufnahme an der Chipkante des EM6819 . . . . .	64
3.4	(a) Fotolack nach Belichtung (18 s/15 $\mu\text{m}$ ): Fehlende kleine Strukturen, (b) Fotolack nach Belichtung (8 s/15 $\mu\text{m}$ ): Lackreste . . . . .	66
3.5	Flexibler NFC-Tag mit per Face-Up Prozess eingebetteten Chips . . . . .	68
3.6	Flexibles Sensor-System bestehend aus einem Temperatursensor und zwei Dehnungssensoren . . . . .	70
3.7	Mikroskopaufnahmen der Kontaktpads vor und nach dem Gold-Lift-off . . . . .	73
3.8	Aufnahmen des abgelösten und aufgeklebten Foliensystems mit vergoldeten Chips . . . . .	74
4.1	Ergebnis der Messung der Resonanzfrequenz . . . . .	77
4.2	Erfolgreicher Lesevorgang der auf dem Tag hinterlegten URL . . . . .	78
4.3	NFC-Tag mit angeschlossenem Programmiergerät des EM6819 Mikrocontrollers . . . . .	79
4.4	T-R Kennlinie eines Sensor-Foliensystems . . . . .	82
4.5	Aus den Messwerten berechnetes Verhalten der Ausgangsspannung $U_{ADC}$ des Sensor-Foliensystems . . . . .	83

# Tabellenverzeichnis

1.1	Materialkennwerte: Temperaturkoeffizienten des elektrischen Widerstands [1] . . . . .	12
2.1	Entworfene Varianten der NFC-Leiterplatten-Antennen . . . . .	31
2.2	Schichtaufbau der System Face-Up Wafer . . . . .	37
2.3	Schichtaufbau der Face-Down System Wafer . . . . .	43
2.4	Schichtaufbau der Sensor-System Wafer . . . . .	45
3.1	Ablauf der Prozessierung der Face-Up Wafer . . . . .	58
3.2	Untersuchte Belichtungszeiten und Abstände der Maske zum Wafer . . . . .	65
3.3	Ablauf der Prozessierung der Sensor-System Wafer . . . . .	69
3.4	Ablauf der Prozessierung der Pad Vergoldung . . . . .	71
4.1	Prüfprotokoll der abgelösten NFC-Tags . . . . .	79
A.1	Übersicht der verwendeten Geräte zur Prozessierung der Charge . . . . .	89

# Einleitung und Motivation

Die Verbreitung von flexibler Elektronik im Alltag nimmt ständig zu. Durch die Integration von Sensorik, Datenverarbeitung und Kommunikation werden eine Vielzahl von Anwendungen möglich. Besonders in der Medizintechnik überwinden flexible Systeme die Problematik der Kompatibilität von starren Systemen mit flexiblem Gewebe. Auch in anderen Branchen finden vollständig oder teilweise biegbare Systeme Anwendungen. In Bezahlungs- oder Zugangskarten werden z.B. flexible Leiterbahnen in Form einer Antenne um einen sehr kleinen starren Silizium-IC in einen biegsamen Kunststoffträger integriert [2].

Bei der Herstellung von flexiblen elektronischen Systemen werden unterschiedlichste Ansätze aus Methoden zur Strukturierung von Leiterbahnen und der Kombination von Materialien angewandt und erforscht. Zusätzlich lassen sich auch sehr dünne und dadurch biegbare Chips in flexible Systeme integrieren [3, 4].

Am Institut für Mikroelektronik Stuttgart wird mit der Chip-Film Patch Technologie an der Herstellung von Foliensystemen mit integrierten ultradünnen Chips gearbeitet. Durch die Verwendung von Siliziumwafern als Trägerwafer können polymerbasierte Folien mit Halbleiterprozessen hergestellt werden. Ultradünne Chips können eingebettet und mittels strukturierte Metalllagen verdrahtet werden [5]. Zusätzlich zum integrierten Chip können bei diesem Verfahren weitere Bauteile direkt im Foliensystem realisiert werden, wie z.B. Temperatur-, Biege-, und Feuchtigkeitssensoren [6].

Insgesamt wurden mittels dieser CFP-Technologie eine Vielzahl unterschiedlicher Komponenten und Einzellösungen, wie eine Kombination von Sensoren und Auswerteschaltungen, untersucht und umgesetzt. Gänzlich abgeschlossene Systeme und Demonstratoren wurden ebenfalls konzipiert, konnten jedoch noch nicht vollständig in Folie realisiert werden. Es wurden bereits mehrere Bestandteile eines NFC-Tags mit kombinierter Sensorik realisiert und im Projekt ParsiFAI 4.0

über eine herkömmliche starre Platine verbunden [6, 7, 8]. Eine besondere Rolle in einem autarken und kombinierten Sensor-System kommt der Energieversorgung und Kommunikation zur Datenauswertung und Anzeige zu. Beide Anforderungen können durch die Verwendung von NFC erfüllt werden. Da NFC auf induktiver Datenübertragung basiert, kann zusätzlich zum Lesen und Schreiben von Daten auch Energie zur Versorgung des angesprochenen Systems übertragen werden. Ein solches auf einem NFC-Tag basierendes Foliensystem lässt sich sehr gut als abgeschlossenes System einsetzen und benötigt nach einer anfänglichen Programmierung keine Kabelanschlüsse mehr. Die Spannungsversorgung über einen Akkumulator entfällt ebenfalls. Ziel dieser Arbeit ist es, ein solches Sensorsystem als Demonstrator für ein autarkes und vollständiges Foliensystem zu realisieren. Sowohl die Kommunikation, die Datenverarbeitung, die Energieversorgung und die integrierte Sensorik müssen demnach in einem Foliensystem realisiert werden. Über ein herkömmliches Smartphone soll das System angesprochen, mit Energie versorgt, die Sensoren ausgelesen und die Daten auf dem Smartphone angezeigt werden.

Ausgewählt werden für diese Arbeit resistive Temperatur- und Dehnungssensoren. Durch eine Widerstandsänderung lässt sich die zu erfassende Messgröße elektrisch mit Hilfe eines Mikrocontrollers auslesen. Für die Kommunikation wird zusätzlich eine Spule als NFC-Antenne realisiert und ein zugehöriger NFC-Chip eingebettet. Nach einer Anforderungsdefinition wird ein Prototyp auf einer handelsüblichen Platine umgesetzt, charakterisiert und anschließend als Foliensystem aufgebaut. Als Methode zur Einbettung von Silizium-Chips soll dabei sowohl die herkömmliche Face-Up Einbettung, als auch die im Projekt Nano-HySiF untersuchte Verbindung mit Nanodrähten verwendet und anschließend verglichen werden. Nach der Herstellung des Systems sollen die Sensoren charakterisiert und die Funktionsfähigkeit durch Auslesen mit einem Smartphone gezeigt werden.



# 1 Grundlagen

Zum Verständnis der Realisierung eines NFC-Tags mit integrierter Sensorik ist es wichtig, die zugrunde liegenden Technologien und Prozesse zu erklären. Zusätzlich wird der verwendete Mikrocontroller EM6819 und der NFC-Chip NF4 des Schweizer Herstellers EM Microelectronic vorgestellt.

## 1.1 Chip-Film Patch Prozess

Beim Chip-Film Patch Prozess handelt es sich um eine aus mehreren Komponenten bestehende Technologie zur Herstellung flexibler Foliensysteme. Wichtige Bestandteile sind die Prozesse zur Herstellung von Polyimidfolien auf einem Silizium-Wafer, das Aufbringen und Strukturieren von Metalllagen sowie das Ätzen der Polymere und das Einbetten von rückgedünnten vorgefertigten Chips. Je nach Art eines konzipierten Systems werden diese Prozesse anschließend unterschiedlich aneinandergereiht.

### 1.1.1 Face-Up Prozess

Die Prozessierung eines Foliensystems beginnt mit der Zusammenstellung der benötigten Anzahl von frontend-Monitorwafern. Es können wahlweise Wafer mit einem Durchmesser von 6" (150 mm) oder 8" (200 mm) verwendet werden. Eine definierte Kristallorientierung oder Dotierung ist nicht notwendig.

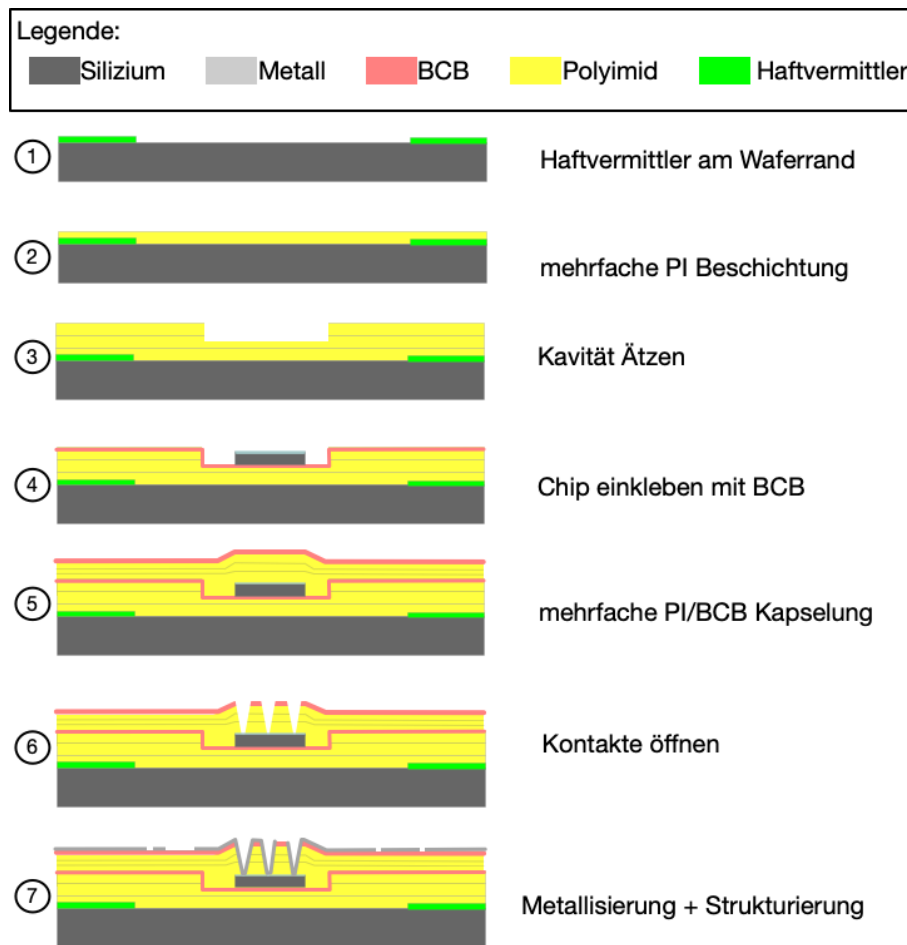
In Abbildung 1.1 ist der Prozessfluss schematisch und schrittweise dargestellt. Zuerst muss am Waferrand ein Ring Haftvermittler Ti-Prime aufgetragen werden, da Polyimid als direkt folgende Beschichtung eine zu geringe Haftung aufweisen würde. (1) Nach dem Ausheizen dieser Schicht auf einer Heizplatte kann die erste

Beschichtung mit einem Polymer erfolgen. Im CFP-Prozess wird PI 2611 als Foliengrundmaterial verwendet [9]. Durch Spin-Coating wird das Polymer auf den Wafer aufgeschleudert. Anschließend wird das enthaltene Lösemittel auf einer Heizplatte verdampft. Nach einem Curing-Schritt in einem mit Stickstoff gespülten Ofen ist die Beschichtung abgeschlossen (2). Als Vorbereitung für die nächste Beschichtung wird mit einem Plasmaschritt die Oberfläche aktiviert. Durch die Variation von Schichtdicken und Abfolgen lassen sich so verschiedene Folienträger für ein CFP herstellen.

Im nächsten Schritt kann eine Metallschicht aufgedampft oder gesputtert werden. Nach einem folgenden Lithografie-Schritt kann über eine belichtete Lackmaske die unterliegende Schicht geätzt oder durch Lift-Off eine anschließend aufgedampfte Schicht strukturiert werden. Für eine Plasmaätzung wird eine unterliegende BCB-Lage als Ätzstopp benötigt, aufgrund einer zu geringen Selektivität zwischen PI und dem zu ätzenden Metall.

Zusätzlich zu nativ in einem Foliensystem integrierten Bauteilen können auch fertige Silizium-Chips eingebettet werden. Dies ermöglicht eine Vielzahl von Funktionen und Möglichkeiten, da Silizium-Chips als standardisierte Funktionsblöcke zugekauft werden können. Integrierte Schaltkreise auf Si-Basis ermöglichen zudem eine sehr hohe Integrationsdichte von aktiven Bauelementen und Schaltungen.

Bisher wird die Einbettung von Si-Chips in einem CFP durch den Face-Up Prozess ermöglicht. Face-Up bedeutet, dass die Kontaktpads der Chips nach oben und damit weg von der Waferoberfläche zeigen.



**Abbildung 1.1:** Prozessfluss der Face-Up Chip Einbettung

Die Einbettung von vorgefertigten Chips beginnt mit dem Sägen und Rückdünnen der Wafer in einzelne Dies mittels des DBG (Dicing-before-Grinding) Prozesses [10]. Die Dicke wurde auf eine Zielgröße von ca.  $30\ \mu\text{m}$  reduziert. Ultradünne Silizium-Dies werden dadurch biegsam und brechen anschließend bei einer Flexion des fertigen Foliensystems nicht mehr.

Als Vorbereitung für die Einbettung muss für jeden Chip eine Kavität in die Folie geätzt werden (3). Mit einer strukturierten Lackmaske und einem Trockenätzschritt wird eine Tiefe von  $6 - 10\ \mu\text{m}$  angestrebt. Vor dem Einsetzen der Chips wird eine dünnflüssige BCB-Schicht als Klebstoff aufgeschleudert und ausgeheizt [11]. Je nach der Anforderung an die Genauigkeit werden die Chips entweder manuell unter einem Mikroskop, mit einem Pick-and-Place Tool oder automatisch und über eine Kamera programmgesteuert mit einem Fineplacer platziert

und angedrückt. Eine automatische Platzierung wird notwendig, falls der Abstand zwischen Chip und Kavität sehr gering ( $50 - 100 \mu\text{m}$ ) sein soll. Zusätzlich müssen strukturierte Alignment-Marken in einer unterliegenden Metallisierung vorab vorgesehen werden. Für eine händische Platzierung wird hingegen eine sehr große Kavität benötigt.

Nach dem Platzieren der Chips werden kleine Silizium-Stücke zur Beschwerung auf die Chips platziert und das BCB in einem Vakuumofen bei  $130^\circ\text{C}$  vorläufig polymerisiert. (4) Mögliche Luftblasen unter den Chips werden durch das Vakuum im Ofen reduziert. Ein Festkleben der Plättchen zur Beschwerung der Chips im Kontakt mit BCB wird durch eine Anti-Sticking Beschichtung auf der Oberfläche der gesägten Quadrate verhindert. Mit einem Ofenschritt bei  $350^\circ\text{C}$  wird die Einbettung abgeschlossen.

Nach der Einbettung erfolgt die Kapselung der Chips. Nacheinander werden  $3 \times 5 \mu\text{m}$  dicke Lagen PI sowie eine  $3 - 4 \mu\text{m}$  dicke Lage BCB als Ätzstopp aufgeschleudert (5)[12]. Die Dicke der Kapselung richtet sich dabei nach der benötigten Planarisierung an der Chipkante. Eine zu steile Stufe sowie eine zusätzliche Vertiefung in der Kavität sollen nach Möglichkeit reduziert oder sogar gänzlich aufgefüllt werden [13]. Eine Verminderung der entstandenen Topografie ist besonders wichtig für die anschließende Strukturierung der Metall-Kontaktierung der Chips. So kann Fotolack in Vertiefungen oft nicht ausreichend belichtet werden. Nicht geätzte Bereiche und draus resultierende Kurzschlüsse wären die Folge.

Vor einer Metallisierung müssen zunächst die Pads in der Metallisierungsebene der Chips geöffnet werden. Die sogenannten Vias werden durch eine belichtete Lackmaske trocken geätzt. Da die Tiefe mit ca.  $20 \mu\text{m}$  sehr groß ist, muss ein besonders dicker Fotolack verwendet werden. Die Ätzrate von Lack und Polymeren verhält sich beim Trockenätzen ähnlich.

Mittels Sputtern oder Aufdampfen kann anschließend vollflächig eine Metallschicht aufgebracht werden. Durch einen belichteten Fotolack werden die verbindenden Leiterbahnen zwischen dem Foliensystem und den Chips geätzt [5].

Um die strukturierte Metallage vor mechanischen Beschädigungen und Oxidation zu schützen, können nach dem Aufschleudern eines Haftvermittlers weitere Lagen Polymere beschichtet werden (6). Mehrere Metallagen können so in einer Folie kombiniert werden. Kontaktierungen zwischen mehreren Lagen sowie Öffnungen in der Polymerschicht auf äußeren Kontakten lassen sich mit einem

Plasmaätzschritt und einer strukturierten Lackmaske herstellen (7). Äußere Pads können anschließend mit einem Lift-Off Schritt vergoldet werden, um die elektrische Leitfähigkeit zu verbessern und einen Schutz vor Oxidation des Metalls zu gewährleisten.

Nach der Fertigstellung wird die Folie durch einen CO<sub>2</sub>-Laser in einzelne Foliensysteme geschnitten. Dadurch lassen sich auf einem Wafer mehrere Systeme mit variablen Umrissen realisieren. Da der Haftvermittler Ti-Prime nur am Wafer- rand das Ablösen der Folie erschwert, lassen sich Systeme mit einer Pinzette und einer Nadel beschädigungsfrei ablösen (8). Insgesamt bietet der Face-Up Prozess eine Methode zur Einbettung und Kontaktierung von dünnen vorgefertigten integrierten Schaltkreisen. Da viele Schritte zusätzlich benötigt werden, vergrößert sich der Aufwand zur Prozessierung eines Foliensystems jedoch im Vergleich zu einem System ohne Si-Chips signifikant.

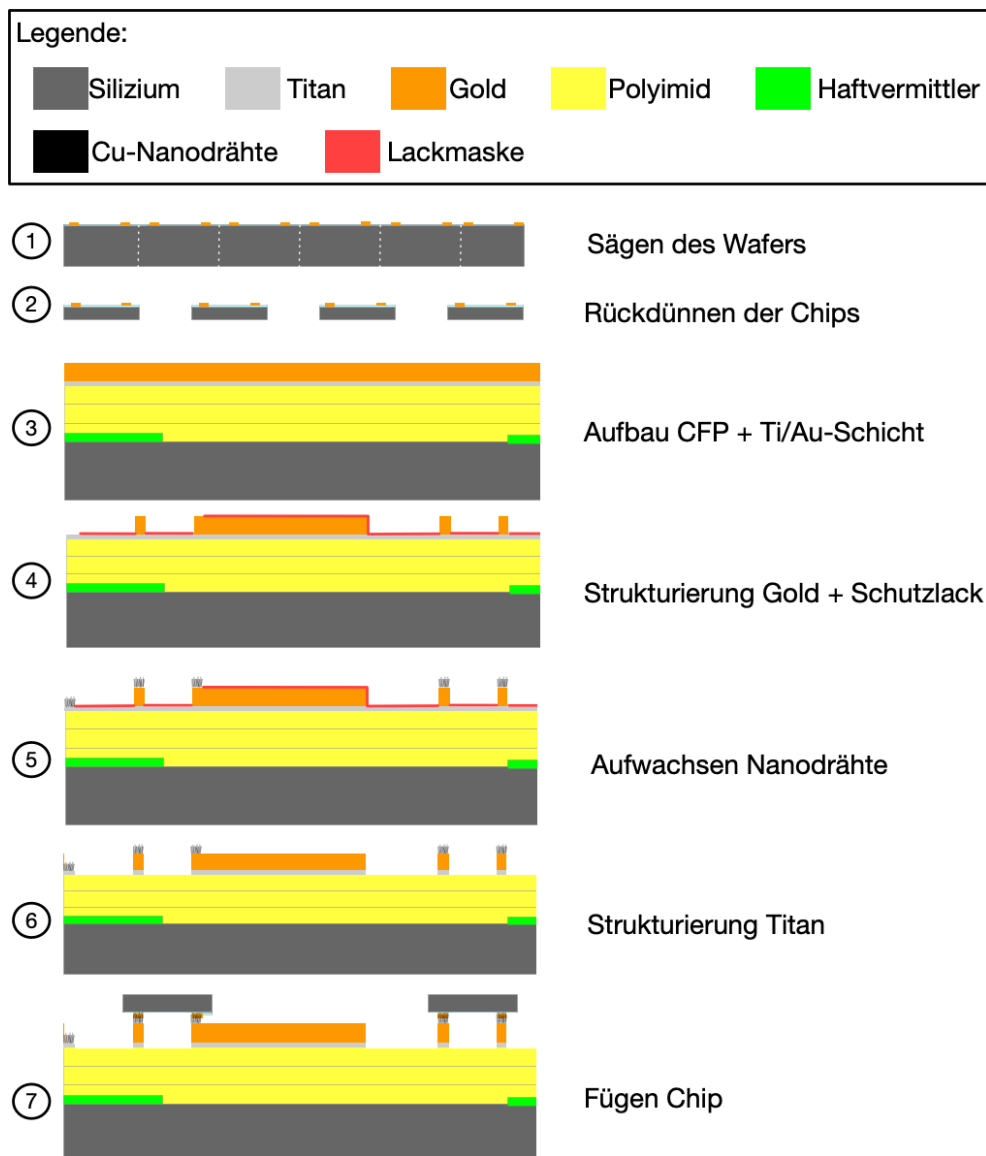
### 1.1.2 Face-Down Prozess

Da die Variante des Einbettens mit dem Face-Up Prozess aus Kapitel 1.1.1 sehr zeitintensiv ist, wurde 2020 das ZIM Forschungsprojekt NanoHySiF gestartet. Es wird untersucht, ob sich das durch die Firma NanoWired GmbH entwickelte Verfahren zum Aufwachsen von Nanodrähten für die Einbettung von Chips ins CFP verwenden lässt. Im Gegensatz zum Face-Up Prozess soll zuerst ein fertiges CFP-System mit allen benötigten Metallisierungen hergestellt werden.

Auf den Kontaktstellen zu den Pads der geplanten Chips sollen anschließend Nanodrähte aufgewachsen werden. Bei der Einbettung des Chips, mit der Oberseite ausgerichtet zum Wafer (Face-Down), berühren die Nanodrähte des Wafers die Kontakte des Chips. Über eine folgende Fügezeit mit definiertem Druck und Temperatur soll eine permanente Verbindung zwischen Chip und CFP hergestellt werden.

In Abbildung 1.2 ist der Prozessfluss des Face-Down Prozesses dargestellt. Die Face-Down Einbettung beginnt dabei mit der letzten Metalllage des herkömmlichen CFP-Prozesses. Als Startschicht für das Aufwachsen der Nanodrähte wird 100 nm Titan aufgedampft. Anschließend wird eine 300 nm dicke Lage Gold zusätzlich aufgedampft (3). Entsprechend des zu erzielenden Layouts wird anschließend durch eine strukturierte Lackmaske die Goldschicht nasschemisch mit einer

Ätzmischung geätzt (4). Da die Selektivität der Ätzung gegenüber der unterliegenden Schicht Titan sehr gut ist, wird sie nicht angegriffen und bleibt vollflächig erhalten. Alle strukturierten Leiterbahnen und Pads der Au-Schicht sind weiterhin kurzgeschlossen. Durch die elektrische Isolierung von Bereichen mit einer Lackmaske können auf der Oberfläche Nanodrähte selektiv galvanisch aufgewachsen werden. Die Prozessierung der Nanodrähte erfolgt inklusive einer vorhergehenden Oberflächenbehandlung vollständig extern bei NanoWired und unterliegt dadurch im Detail der Geheimhaltung (5).



**Abbildung 1.2:** Prozessfluss der Face-Down Chip Einbettung mit Nanodrähten

Nach dem Aufwachsen der Nanodrähte muss zunächst die noch vorhandene Schicht Titan entfernt werden. Dies kann entweder nasschemisch mit Wasserstoffperoxid und Flußsäure oder durch Trockenätzen erfolgen (6). Auf eine Lackmaske kann verzichtet werden, da das Titan selektiv zu den Kupfernanodrähten geätzt werden kann.

Die Oberflächenaktivierung der Nanodrähte erfolgt entweder nasschemisch oder durch einen Plasmaschritt. Um eine Verbindung zwischen den Pads und den Nan-

odrahnten herzustellen, muss die Oberflache der Pads vergoldet sein. Die Montage der Chips muss anschlieend maschinell erfolgen, da eine hohe Genauigkeit erforderlich ist. So befinden sich normalerweise auch keine Alignmentmarken fur eine manuelle Platzierung auf der Ruckseite der Chips. Zusatzlich kann bei einer maschinellen Verarbeitung ein definierter Fugedruck eingestellt werden. In einem Ofen wird anschlieend unter Belastung mit Gewichten eine Versinterung der Nanodrahnte untereinander und mit der Goldoberflache der Pads erreicht (7) [14].

Insgesamt bietet die Einbettung von Nanodrahnten eine Einsparung von Zeit bei der Herstellung eines CFP-Systems. Zusatzlich kann so die Problematik der groen Topografie uber einem eingeklebten Chip beim konventionellen Face-Up Prozess verhindert werden.

## 1.2 Sensoren

In diesem Abschnitt werden die Grundlagen der beiden ausgewahlten Sensoren erklart. Jeder Sensor basiert jeweils auf der Umwandlung der physikalischen Messgroe in einen elektrischen Widerstand. Es handelt sich dabei um eine analoge Groe, die in einem Mikrocontroller digitalisiert und anschlieend uber den NFC-Chip an das Auslesegerat des Anwenders ubergeben werden soll. Ein Mikrocontroller verfugt zu diesem Zweck uber einen Analog-zu-Digital Converter (ADCs). Da jedoch nur Spannungen konvertiert werden, muss der Widerstand uber einen Spannungsteiler in eine messbare Spannung umgewandelt werden.

### 1.2.1 Spannungsteiler

Uber einen Spannungsteiler ist es moglich, das Verhaltnis der Groe von zwei Widerstanden in ein Spannungssignal zu uberfuhren. In einer herkommlichen Anwendung wird hierbei ein konstanter Referenzwiderstand mit einem Messwiderstand in Reihe geschaltet. Durch einen Mittenabgriff kann das Verhaltnis mit einem ADC in einen digitalen Messwert einer Auswertungseinheit konvertiert werden.



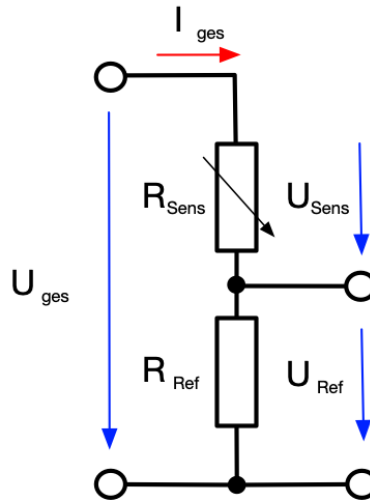


Abbildung 1.3: Schaltbild eines Spannungsteilers

In Abbildung 1.3 ist das Schaltbild eines Spannungsteilers dargestellt. Beim oberen Widerstand  $R_{Sens}$  handelt es sich um den Messwiderstand. Er steht als Ersatz für jeden denkbaren widerstandsabhängigen Sensor. Der untere Widerstand  $R_{Ref}$  repräsentiert den Referenzwiderstand.

$$U_{ges} = U_{Sens} + U_{Ref} \quad (1.1)$$

$$U_{ges} = I_{ges} * R_{ges} = I_{ges} * (R_{Sens} + R_{Ref}) \quad (1.2)$$

$$U_{Sens} = I_{ges} * R_{Sens} \quad (1.3)$$

$$U_{Ref} = I_{ges} * R_{Ref} \quad (1.4)$$

Durch Einsetzen und Umformen der Gleichungen ineinander ergibt sich der folgende Zusammenhang für die gemessene Spannung  $U_{Ref}$  am ADC:

$$U_{ADC} = U_{Ref} = \frac{R_{Ref}}{R_{Sens}} * U_{Sens} \quad (1.5)$$

$$U_{ADC} = U_{ges} * \frac{R_{Ref}}{R_{Sens} + R_{Ref}} \quad (1.6)$$

Die Referenzspannung  $U_{ges}$  wird als Versorgungsspannung benötigt. Wichtig ist dabei, den genauen Betrag von  $U_{ges}$  zu kennen, da der Messwert davon direkt

abhängig ist. Wird der Spannungsteiler durch einen aktiv geregelten Buck oder Boost-Converter versorgt, kann der Betrag als nahezu konstant angenommen werden. Durch eine Erhöhung des Gesamtwiderstands  $R_{ges}$  lässt sich zusätzlich der Strom  $I_{ges}$  und dadurch die verbrauchte Verlustleistung des Messweges optimieren.

## 1.2.2 Resistiver Temperatursensor

Bei einem resistiven Temperatursensor handelt es sich um einen Messwiderstand, der speziell für die Temperaturmessung ausgelegt wurde. Genutzt wird die temperaturabhängige Änderung des elektrischen Widerstands von unterschiedlichen leitfähigen Werkstoffen.

$$R_t = R_{Ref} + \alpha_t * (t_t - t_{Ref}) \quad (1.7)$$

In Formel 1.7 ist die Abhängigkeit des Gesamtwiderstands  $R_t$  in Abhängigkeit zur Temperatur  $t$  und dem materialabhängigen Koeffizienten  $\alpha_t$  zu sehen. Je nach Werkstoff ist  $\alpha_t$  dabei positiv oder negativ. Sensoren mit negativen  $\alpha_t$  werden als NTC (Negative-temperature-coefficient) bezeichnet. Das Gegenteil bilden die PTC (Positive-temperature-coefficient) Messwiderstände [15]. In Tabelle 1.1 sind  $\alpha_t$  Werte für die am IMS verwendeten Werkstoffe bei einer Referenztemperatur von 20°C aufgelistet.

**Tabelle 1.1:** Materialkennwerte: Temperaturkoeffizienten des elektrischen Widerstands [1]

Werkstoff	$\alpha_t(^{\circ}C^{-1})$
Aluminium	$4,6 * 10^{-3}$
Gold	$4,0 * 10^{-3}$
Platin	$3,92 * 10^{-3}$
Nickel	$6,75 * 10^{-3}$

### 1.2.3 Resistiver Dehnungssensor

Ziel eines Dehnungssensors ist es, mechanische Dehnungen elektrisch zu messen. Auf der Oberfläche eines belasteten Objekts aufgeklebt, wird die Dehnung des unterliegenden Werkstoffs über den Montagekleber auf den Sensor übertragen und dort erfasst. Dadurch lassen sich statische und dynamische Belastungen an Tragwerksstrukturen überprüfen. Eine weitere Anwendung ist die Erfassung der Biegung von elastischen Körpern. Durch die Platzierung eines Dehnungssensors auf einer äußeren Lage einer Folie kann so die Biegespannung der Folie gemessen und auf die Biegung des zu messenden Objekts zurückgerechnet werden.

Der Widerstand im Ausgangszustand eines Leiters definiert sich dabei wie folgt:

$$R_0 = \rho_0 * \frac{l_0}{A_0} \quad (1.8)$$

Ausgehend vom Querschnitt  $A_0$  und der ursprünglichen Länge des Leiters  $l_0$  wird der Widerstand  $R_0$  errechnet. Je nach Material ist dabei der spezifische Widerstand  $\rho_0$  unterschiedlich. Die messbare Änderung des Widerstands  $\Delta R$  wird anschließend durch die Längenänderung  $\Delta l$  und die resultierende Querschnittsänderung ausgelöst. Der Zusammenhang wird über folgende Formel beschrieben:

$$\frac{\Delta R}{R_0} = K * \frac{\Delta l}{l_0} = K * \varepsilon \quad (1.9)$$

Je nach Werkstoff ist der Proportionalitätsfaktor  $K$  unterschiedlich. Die erste Komponente wird durch die Änderung des Querschnitts des Leiters ausgelöst. Zusätzlich bewirkt die Dehnung  $\varepsilon$  eine Änderung des spezifischen Widerstands  $\rho$  durch den piezoresistiven Effekt. Bei Metallen ist dieser Einfluss jedoch sehr klein.

Da für eine Messung eines Widerstands lange Leiterbahnen als Sensor von Vorteil sind, wird die Messleitung häufig mäanderförmig auf einer Oberfläche aufgebracht. Mehrere parallele Bahnen ermöglichen es, große Längen in einer kleinen Bauform zu realisieren [1].

## 1.3 Near-Field Communication

In dieser Arbeit soll die NFC-Technologie für die Stromversorgung und Kommunikation des Foliensystems verwendet werden. Sie stellt eine wichtige Kerntechnologie des Systems dar. Der Name Near-Field Communication (NFC) beschreibt die Anwendung der Technologie. Über eine geringe Distanz soll eine Datenübertragung ermöglicht werden. Standardisiert wird NFC über das NFC-Forum [16]. Alle Spezifikationen und Protokollbeschreibungen werden dort gesammelt und können gegen eine Gebühr eingesehen werden. Es handelt sich nicht um eine herstellerabhängige proprietäre Technologie.

### 1.3.1 Grundlagen

NFC ermöglicht die Kommunikation zwischen zwei Geräten über eine Distanz von bis zu 6 cm. Zusätzlich zu einer Datenübertragung ist eine Übertragung von Energie zur Versorgung eines Endgeräts vorgesehen. Es wird bei beiden Teilnehmern zwischen einem aktiven Emittter und einem passiven Teil, genannt Tag unterschieden.

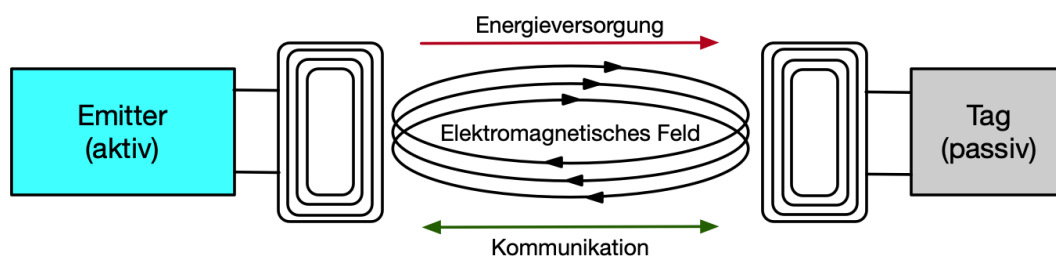


Abbildung 1.4: Funktionsprinzip der NFC-Kommunikation

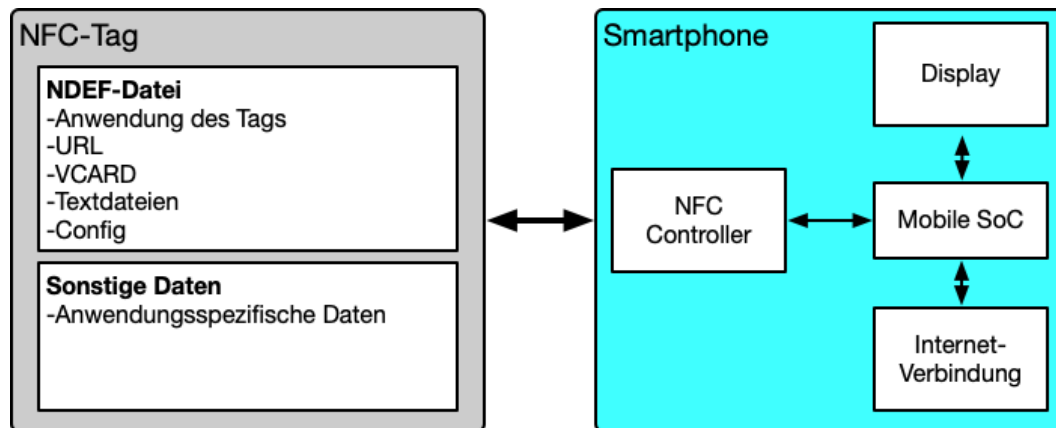
Der NFC-Betrieb wird durch die Aktivierung des Emitters gestartet. Durch eine Wechselspannung mit einer Frequenz von 13,56 MHz. wird in der zugehörigen Sendeantenne ein elektromagnetisches Feld erzeugt. Dieses wiederum induziert eine Wechselspannung in der Empfangsantenne des Tags. Als Antenne werden bei beiden Geräten Spulen verwendet. Die Übertragung ähnelt einem herkömmlichen Transformator, wobei der Kern durch Luft ersetzt wurde. Die Effizienz der

Übertragung der Energie verringert sich dadurch stark. In der angeschlossenen Empfangsschaltung wird durch anschließendes Gleichrichten und eine Pufferung der empfangenen Spannung eine Gleichspannung zur Versorgung des Tags erzeugt.

Eine NFC-Datenübertragung beginnt mit dem Senden von Daten des Emitters. Durch eine Modulation der Amplitude (AM) werden die binären gesendeten Daten mit der Trägerfrequenz kombiniert und können durch den Tag empfangen werden. Nach der vollständigen Übertragung aller Daten soll eine Antwort durch den Tag erfolgen. Da der Tag jedoch weiterhin auf die Übertragung von Energie durch das Wechselfeld angewiesen ist, kann keine aktive Umkehrung des Sendepinzips erfolgen. Mittels Belastung der Empfangsspule kann der Tag, ähnlich der Belastung eines Transformators, auch Daten zum Sender zurück übertragen, ohne dadurch die Energieversorgung zu stören. Die Kommunikation wird immer durch den Emitter begonnen. Der Tag antwortet anschließend. Eine voll-duplex-Kommunikation mit einer gleichzeitigen Übertragung in beide Richtungen ist nicht möglich [2].

### 1.3.2 NFC-Kommunikation

Emittter werden oft als NFC-Lesefunktion in marktübliche Smartphones integriert. Dadurch kann NFC für die verschiedensten Anwendungen genutzt werden. Angesprochen wird die Hardware vom jeweiligen im Betriebssystem integrierten Treiber. Da durch die im NFC-Forum vertretenen Hersteller ebenfalls Protokolle und Datenformate spezifiziert wurden, kann auf eine Neuentwicklung der Treiber, für jede Anwendung speziell, verzichtet werden.



**Abbildung 1.5:** Funktionsstruktur der NFC-Datenverarbeitung

In Abbildung 1.5 ist die Struktur einer NFC-Datenverarbeitung dargestellt. Jede Verbindung eines Mobilgeräts beginnt dabei mit der Etablierung einer Verbindung. Andere etwaige in Reichweite befindliche Tags reagieren damit nicht mehr auf weitere Anfragen. Anschließend wird zuerst das NDEF-File (NFC Data Exchange Format) des Tags gelesen. Folgende Informationen können in einer NDEF-Datei enthalten sein:

- Art der Anwendung
- Adressen von Webseiten
- Kontaktinformationen
- Freie Textbausteine
- Konfigurationsdateien für Endgeräte

Neben weiteren Standardformaten lassen sich auch eigene Bausteine in eine NDEF-Datei auf einem Tag speichern. Anhand der gelesenen Informationen innerhalb des Betriebssystems wird nach einer passenden Anwendung gesucht, um den Inhalt des Tags zu verarbeiten und zu nutzen. So werden beispielsweise Kontaktinformationen an eine Kontakt-Anwendung auf einem Endgerät weitergeleitet. Zusätzlich lassen sich auch neue Applikationen auf einem Smartphone installieren, welche weitere Ziele für NFC-Daten ermöglichen. Nachdem die zugehörige App gefunden wurde, wird diese gestartet und die Zuständigkeit der Steuerung

der NFC-Kommunikation übergeben. Je nach Anforderung ist es möglich, die NDEF-Daten direkt zu verarbeiten oder durch weitere Abfragen zusätzliche Informationen auf dem Tag zu lesen oder zu schreiben. Je nach Typ des NFC-Tags können unterschiedliche Protokolle zur Steuerung und Datenübertragung genutzt werden. Die zugehörigen Datenstrukturen obliegen dabei der Applikation und sind nicht allgemein standardisiert.

In Abhängigkeit von Tag oder Endgerät können auch darüberhinausgehende Funktionen, wie zum Beispiel Verschlüsselungen für sicherheitskritische Anwendungen oder Passwörter zum Schutz der Daten vor unberechtigten Schreibzugriffen implementiert sein. Außerdem sind folgende Betriebsmodi nutzbar:

- **Reader-Mode:** NFC-Lesegerät ist in der Lage kompatible NFC-Tags zu lesen. Das Lesegerät steuert aktiv die Kommunikation
- **Card Emulation Mode:** Ein Lesegerät emuliert einen passiven NFC-Tag und ermöglicht die Kommunikation mit einem weiteren NFC-Lesegerät
- **Peer to Peer Mode:** Zwei Lesegeräte kommunizieren und nehmen als aktiver Partner teil. Beide Partner können die Kommunikation aktiv steuern

Neben dem erstgenannten Leser-Tag Modus sind dadurch auch Kommunikationen zwischen Endgeräten, wie z.B. Smartphones als Sondermodi möglich. NFC bietet also eine standardisierte Basis zur Kommunikation im Nahbereich für viele unterschiedliche Anwendungen. [2]

### 1.3.3 Auslegung Antenne

Für die Umsetzung einer NFC-Funktionalität in einem Foliensystem ist vor allem die Antenne von Bedeutung, da sie als Zusatzbauteil komplett von Grund auf hergestellt werden muss. Aufgabe der Antenne ist es, ähnlich der Sekundärwicklung eines Transformators, in Form einer Spule das elektromagnetische Feld für den NFC-Chip in eine nutzbare Wechselspannung umzuwandeln. Das für die Auslegung notwendige Ersatzschaltbild, bestehend aus Antenne und Chip, ist in Abbildung 1.6 zu sehen.

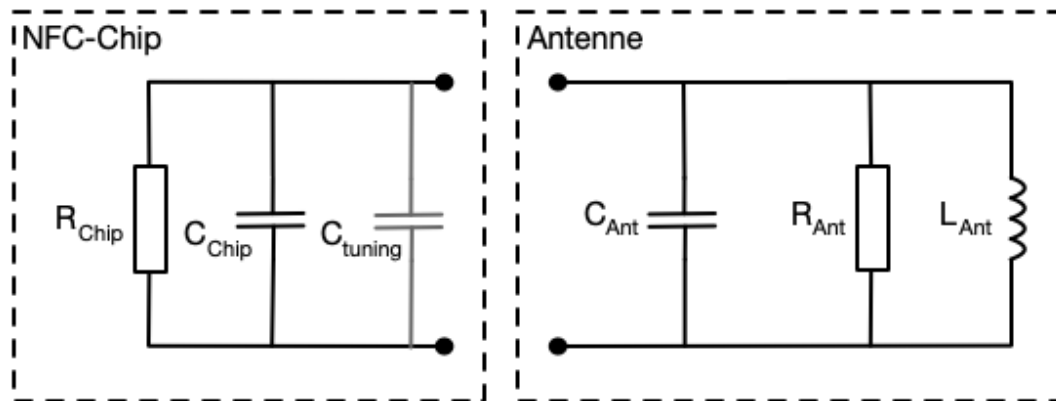


Abbildung 1.6: Ersatzschaltbild eines NFC-Chips mit zugehöriger Antenne

Auf der linken Seite ist der im NFC-Chip enthaltene Teil der Schaltung zu sehen. Der Widerstand  $R_{Chip}$  steht dabei für den internen Stromverbrauch des NFC-Chips. Zusätzlich ist im ausgewählten NF4-Chip in dieser Arbeit ein 14pF großer Tuning-Kondensator  $C_{Chip}$  auf dem IC bereits integriert. Der Abschnitt der Antenne besteht hierbei aus einer Induktivität der Spule  $L_{Ant}$ , einer parasitären Kapazität  $C_{Ant}$  und einem Widerstand  $R_{Ant}$ . Die daraus resultierende Impedanz ist jedoch von der eingekoppelten Frequenz abhängig. Nur bei der Resonanzfrequenz heben sich die imaginären Anteile der Spule und des Kondensators auf und der Schaltkreis verhält sich ausschließlich resistiv.

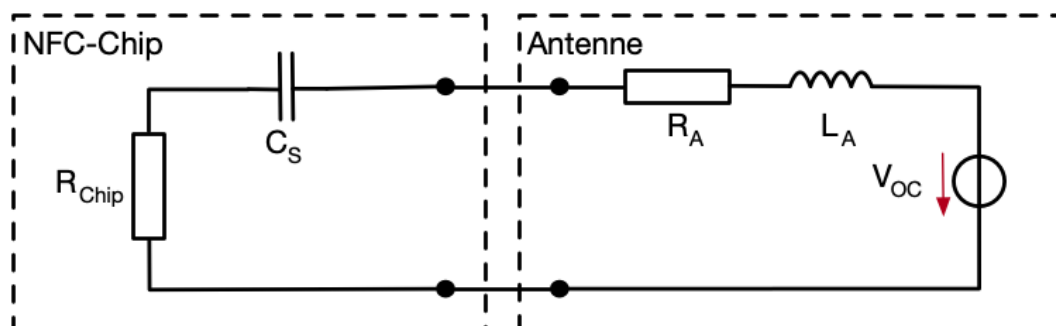


Abbildung 1.7: Ersatzschaltbild des NFC-Tags in Anwesenheit eines elektromagnetischen Feldes

In Abbildung 1.7 ist das Ersatzschaltbild in Anwesenheit eines elektromagnetischen Feldes dargestellt. Die induzierte Wechselspannung wird hierbei als Spannungsquelle  $V_{OC}$  dargestellt. Durch das frequenzabhängige Verhalten der Spule



$L_{Ant}$  und der bei 13,56MHz nicht vernachlässigbaren parasitären Kapazität der Antenne wurde die Antenne durch das Ersatzbauelement  $L_A$  und die serielle Kapazität  $C_S$  ersetzt. Daraus ergibt sich folgende Bedingung für die Resonanzfrequenz:

$$L_A * C_S * \omega^2 = 1 \quad (1.10)$$

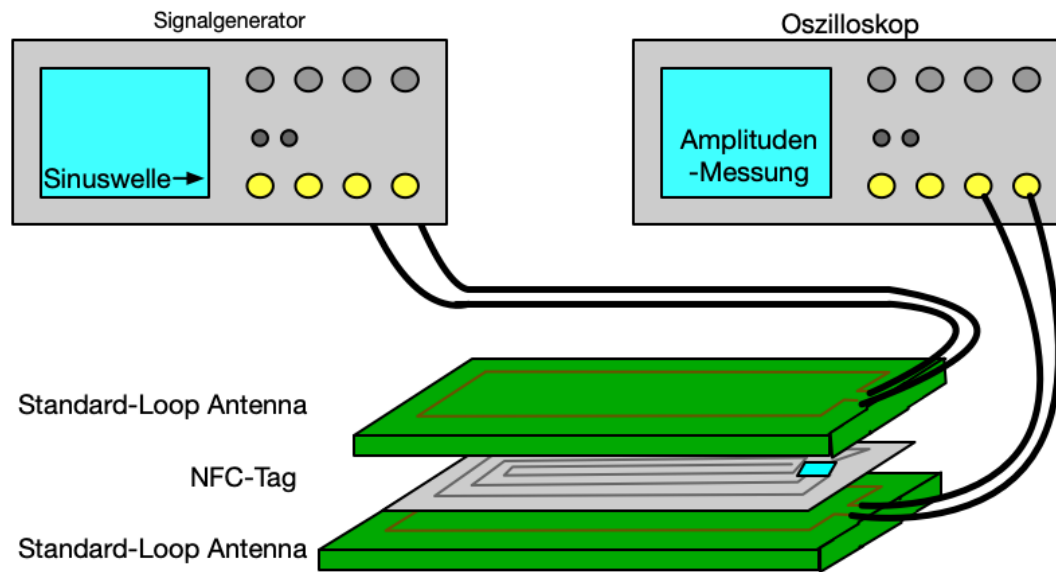
Um diese Bedingung zu erfüllen, müsste die Induktivität der Antenne passend zur internen Kapazität des NFC-Chips ausgelegt werden. Um eine spätere Einstellung der Resonanzfrequenz auf die Arbeitsfrequenz zu ermöglichen, kann diese durch einen zusätzlichen, der Antenne parallel geschalteten Kondensator beeinflusst werden. Daraus ergibt sich folgende Abhängigkeit, mit der die Resonanzfrequenz für eine Vorauslegung abgeschätzt werden kann:

$$f_{tuning} = \frac{1}{2\pi * \sqrt{L_A * C_{tuning}}} \quad (1.11)$$

Die benötigte Größenordnung der Tuning-Kapazität  $C_{tuning}$  kann dadurch in Abhängigkeit der Induktivität  $L_A$  der Antenne berechnet werden. Eine genaue Berechnung wird durch parasitäre Kapazitäten des Signalweges und der Antenne erschwert. [17]

### 1.3.4 Resonanzfrequenz Messung

Bevor die Kapazität des Tuning-Kondensator eines NFC-Tags präzise festgelegt werden kann, muss die tatsächliche Resonanzfrequenz gemessen werden. Für diese Arbeit ist es wichtig, die Resonanzfrequenz berührungslos zu messen, da sonst ein iteratives Einstellen durch gezielte Manipulation der Kapazität eines Kondensators auf einer Folie nicht möglich wäre. Zusätzlich kann ohne eine Vermessung des Tags mit eingebettetem NFC-Chip der Einfluss der parasitären Kapazität des integrierten Schaltkreises nicht einbezogen werden.



**Abbildung 1.8:** Funktionsprinzip des Messaufbaus für die Bestimmung der Resonanzfrequenz eines NFC-Tags

In Abbildung 1.8 ist der umzusetzende Messaufbau zur Bestimmung der Resonanzfrequenz schematisch dargestellt. Der NFC-Tag wird dabei auf eine Ringantenne mit einer einzigen Wicklung gelegt. Über einen an der Antenne angeschlossenen Signalgenerator wird eine sinusförmige Wechselspannung angelegt. Die Antenne erzeugt dadurch ein elektromagnetisches Feld in der Umgebung des NFC-Tags. In der Antenne des Tags wird eine Wechselspannung induziert. Diese Wechselspannung erzeugt selbst ein zweites elektromagnetisches Feld. Dieses induziert anschließend in der zweiten Antenne, welche am Oszilloskop angeschlossen ist, eine messbare Wechselspannung [17].

An der Resonanzfrequenz des Tags ist, durch ein rein resistives Verhalten der Antenne des Tags, die sich einstellende Leistung am größten. Dadurch wird auch in der Empfangsantenne die größte Amplitude empfangen und im Oszilloskop ausgewertet.

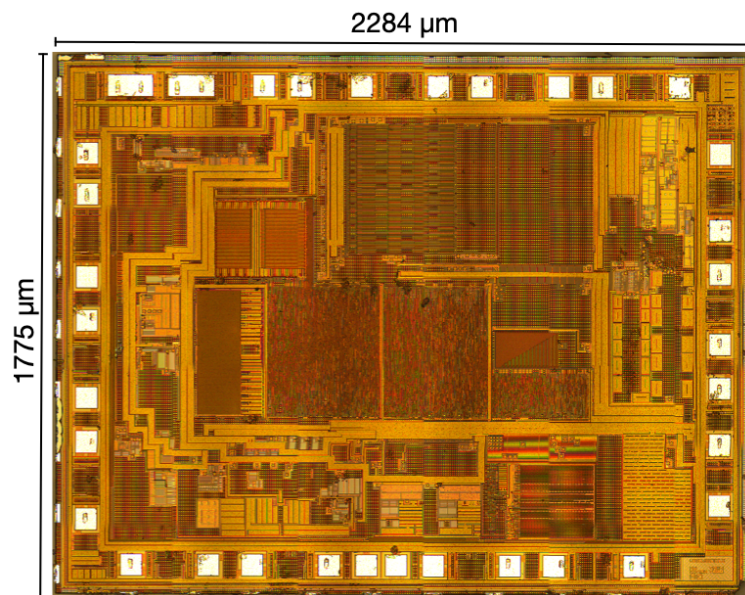
## 1.4 Verwendete integrierte Schaltkreise

Als Funktionsbausteine des in dieser Arbeit untersuchten Systems sollen je ein Mikrocontroller und ein NFC-Chip in ein Foliensystem eingebettet werden. Der

Mikrocontroller übernimmt dabei das Auslesen und Digitalisieren der Sensordaten. Über eine Schnittstelle werden die auf diese Weise gewonnenen Daten anschließend an den NFC-Chip gesendet und von dort durch ein Auslesegerät abgerufen.

### 1.4.1 EM6819 Microcontroller

Der in dieser Arbeit verwendete Mikrocontroller EM6819 wurde vom Schweizer Hersteller EM Microelectronic-Marin SA entwickelt und produziert. In [Abbildung 1.9](#) ist ein einzelner Die des Mikrocontrollers EM6819 zu sehen.



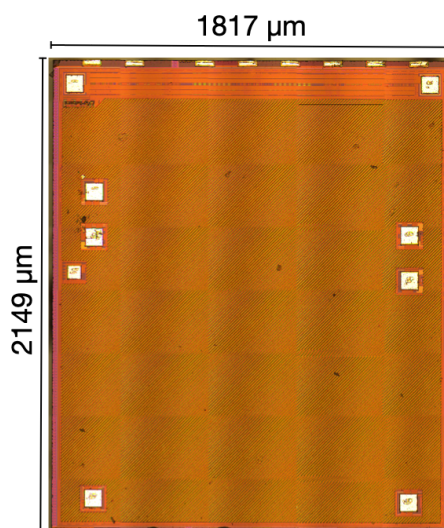
**Abbildung 1.9:** Lichtmikroskopaufnahme eines gesägten Dies des Mikrocontrollers EM6819

Es handelt sich um einen Low-Power 8-Bit RISC Mikrocontroller. Er benötigt eine Versorgungsspannung von 0,9 V bis 3,6 V. Der Stromverbrauch wird mit  $140 \mu\text{A}$  bei 3 V und 1 Million Instruktionen pro Sekunde (MIPS) angegeben. Die Taktfrequenz kann dabei variabel auf bis zu 15 MHz erhöht werden, wobei eine Maximalleistung von bis zu 7,5 MIPS möglich ist. Als Taktgeber können entweder interne Oszillatoren oder externe Eingänge verwendet werden. Für die Auswertung der Sensorik verfügt der EM6819 zusätzlich über einen 10-Bit ADC, der

mit bis zu 8 Eingängen verbunden werden kann. Zusätzlich ist es möglich, einen internen Temperatursensor auszulesen. Digitale Ein- und Ausgänge können über drei Ports mit je 8 Pins angesprochen werden. Die Programmierung erfolgt über einen externen Adapter, der per USB mit einem Computer verbunden wird und den integrierten In-System Programmer anspricht. Durch einen On-chip debugger kann anschließend die zu evaluierende Software schrittweise getestet werden [18].

### 1.4.2 EM NF4 NFC-Chip

Als NFC-Chip zur Verbindung des Tags mit dem Auslesegerät wird der NF4 des Herstellers EM Microelectronic SA verwendet. Es handelt sich dabei um einen NFC-Forum Type 4 dual interface tag IC.



**Abbildung 1.10:** Lichtmikroskopaufnahme eines gesägten Dies des NFC-Chips EM NF4

Dies bedeutet, dass eine Verbindung sowohl über NFC als auch über eine serielle digitale Schnittstelle hergestellt und Daten gelesen und geschrieben werden können. Um die benötigten Pins für eine serielle Kommunikation z.B. zu einem Mikrocontroller zu reduzieren, kann derselbe Daten-Kontakt sowohl zum Schreiben als auch zum Lesen verwendet werden. Über einen zweiten Kontakt muss für

jedes zu übertragende Bit ein Taktsignal durch den Mikrocontroller angelegt werden. Es können so Taktraten bis maximal 1 MHz erreicht werden (bidirektional). Über zwei weitere Kontakte kann die NFC-Antenne verbunden werden. Über die Antenne ist es möglich bis zu 5 mA zur Stromversorgung externer Bauteile bei 3 V zu gewinnen. Insgesamt können über die NFC-Schnittstelle Datenraten von 106 kbps bis 848 kbps erreicht werden.

Um die Integrität der intern gespeicherten Daten zu schützen, kann jedoch nur eine der beiden Schnittstellen gleichzeitig genutzt werden. Die NFC-Schnittstelle besitzt dabei die höhere Priorität und so werden aktive serielle Übertragungen abgebrochen und die Schnittstelle gesperrt. Nach Beendigung der NFC-Kommunikation durch das Lesegerät wird die serielle Verbindung wieder freigegeben. Auf diese Weise lassen sich Daten von und zu einem Mikrocontroller übertragen, obwohl gleichzeitig ein Auslesegerät für die Energieversorgung vorhanden ist [19].

## 2 Konzeption

In diesem Kapitel wird aus der gegebenen Arbeitsbeschreibung ein Konzept zur Umsetzung eines flexiblen NFC-Tags mit integrierten Temperatur- und Dehnungssensoren erarbeitet. Vor der Umsetzung wird zusätzlich ein Prototyp auf Basis einer starren Platine aufgebaut, erprobt und vermessen. Aus den so gewonnenen Erkenntnissen werden im Folgenden der finale Schichtaufbau und das Layout des zu prozessierenden Wafers abgeleitet.

### 2.1 Ansatz

Zuerst wird die Aufgabenstellung in eine Systemstruktur überführt. Alle nötigen Teilkomponenten und deren Abhängigkeiten werden dargestellt. In Abbildung 2.1 ist die Struktur des NFC-Tags zu sehen.

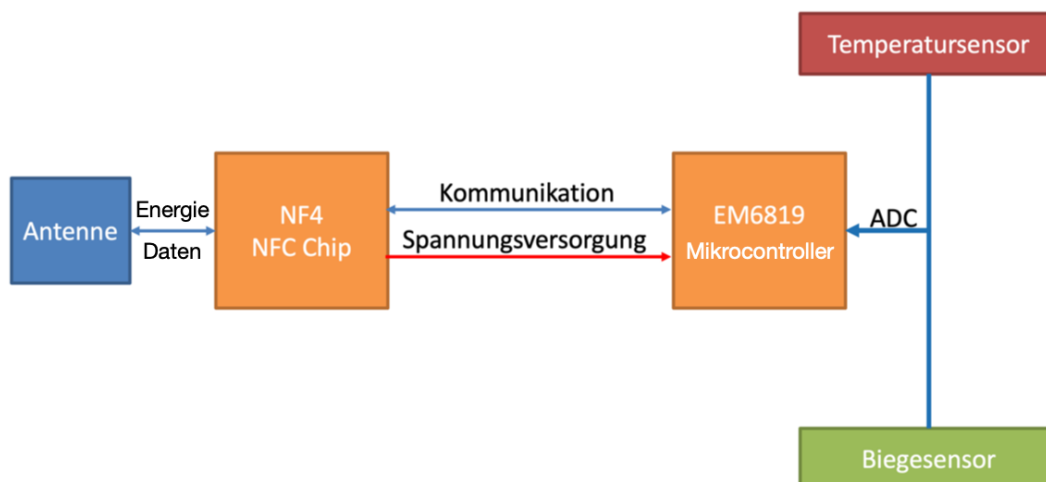


Abbildung 2.1: Systemstruktur des NFC-Tags

Ausgehend von den beiden integrierten Schaltkreisen NF4 und EM6819 wurden die benötigten Zusatzkomponenten hinzugefügt. Für den Betrieb des NF4-Chips wird außerdem eine Antenne benötigt. Zusätzlich werden auf der rechten Seite die Temperatur- und Dehnungssensoren ergänzt. Das Auslesen der Messwerte erfolgt über den integrierten ADC des Mikrocontrollers. Die Verbindung der beiden ICs besteht aus einer Energieversorgung des EM6819 durch den NF4 und einer bi-direktionalen Kommunikationsschnittstelle. Die Energieversorgung der Sensoren wird vom Mikrocontroller übernommen.

Im nächsten Schritt soll die erarbeitete Struktur aus 2.1 in einzelne Foliensysteme aufgeteilt werden, um die Komplexität der Folien auf einem Wafer zu reduzieren. Ein weiterer Grund ist die geforderte Untersuchung der Einbettung von Silizium-Schaltkreisen mit unterschiedlichen Methoden. So soll sowohl die herkömmliche Face-Up Einbettung als auch die neuartige Face-Down Einbettung mit Nanodrähten untersucht werden. Um Wechselwirkungen der beiden Prozesse auszuschließen, muss die Herstellung zwingend getrennt auf unterschiedlichen Wafern erfolgen. Daraus ergibt sich die in Abbildung 2.2 dargestellte Unterteilung.

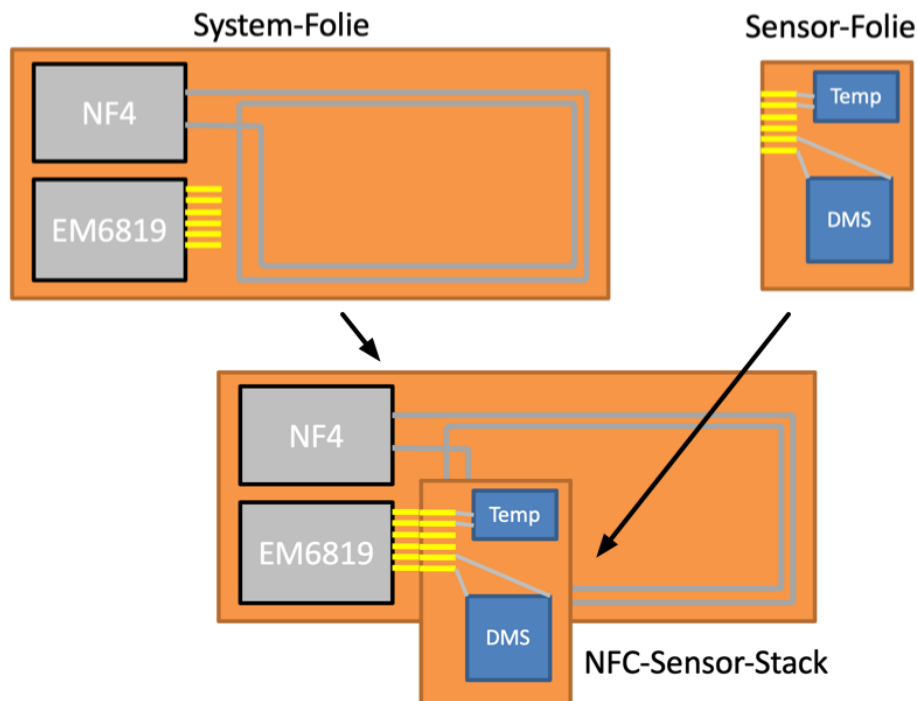


Abbildung 2.2: Schematische Gliederung in einzelne Teilsysteme

Mikrocontroller und NFC-Chip sollen auf einer gemeinsamen System-Folie platziert werden. Zusätzlich wird auch die benötigte NFC-Antenne auf derselben Folie realisiert, da der elektrische Widerstand der Antenne für eine maximale Ausbeute an elektrischer Energie wichtig ist. Die räumlich nahe Anordnung der beiden Chips verkürzt außerdem die Länge der seriellen Datenverbindung zwischen beiden Schaltkreisen. Dies verringert störende parasitäre Kapazitäten und den Widerstand der beiden benötigten Leitungen. Die Systemfolie bildet an sich ein funktionierendes Foliensystem in Form eines NFC-Tags. Auch ohne Verbindung zu den Sensoren können so wesentliche Funktionen getestet werden. Für die Erprobung der beiden Varianten zur Einbettung sollen zwei getrennte Systeme mit demselben Schaltplan hergestellt und anschließend verglichen werden.

Als zweites Bauteil werden die beiden Sensoren in der Sensor-Folie prozessiert. Die getrennte Herstellung ermöglicht zusätzlich eine leichtere Charakterisierung der Widerstände, da die Verbindung zum Mikrocontroller noch nicht besteht.

Die Aufteilung der Aufgabenstellung auf drei CFP-Folien, System Face-Up, System Nanodrähte und Sensor-System, ermöglicht eine parallele Prozessierung der Chargen. Dies reduziert insgesamt das Risiko und die benötigte Zeit der Entwicklung. Nach der individuellen Charakterisierung der drei Bausteine kann der finale Sensor-Tag durch Aufkleben der Sensor-Folie auf die beiden NFC-Tags hergestellt werden.

## 2.2 Anforderungen

Vor einer Prozessierung der Foliensysteme im Reinraum müssen zuerst der Schichtaufbau und das Layout der Strukturierungen entwickelt werden. Hierfür werden die Anforderungen nach Muss- und Wunschkriterien priorisiert. Da sowohl die beiden NFC-Tag Chargen als auch eine Sensor-Folie parallel entwickelt werden, erfolgt die Betrachtung der Anforderungen getrennt.

### 2.2.1 NFC-Tag System

Das NFC-Tag System besteht aus dem NF-Chip EM NF4 und dem Mikrocontroller EM6819. Zusätzlich soll eine Antenne und eine Schnittstelle zur Verbindung



der Sensor-Folie integriert sein. Die Anforderungen an die Varianten Face-Up und Face-Down werden gemeinsam gesammelt.

### Musskriterien

Folgende Anforderungen müssen mindestens erfüllt sein:

- Das Foliensystem soll auf einem  $675\mu\text{m}$  dicken 150mm Wafer aufgebaut werden
- Über einen Tuning-Kondensator soll die Resonanzfrequenz der Antenne auf 14MHz eingestellt werden können
- Die Kapazität des Tuning-Kondensators soll am fertigen System nach Vermessung angepasst werden können
- Auf eine Anpassung des Layouts nach Platzierung der Chips soll verzichtet werden
- Alle weiteren nötigen Zusatzbauteile müssen als native Folienkomponenten realisiert werden
- Es sollen nur zwei Metalllagen eingeplant werden
- Alle Leiterbahnen sollen durch Nadeln kontaktiert werden können  
→ entsprechende Öffnungen sind in der Kapselung vorhanden

### Wuschkriterien

Das Erfüllen folgender Kriterien wäre wünschenswert:

- Eine Goldkontamination soll so lange wie möglich vermieden werden
- Auf eine zusätzliche Vergoldung von Kontakten soll verzichtet werden
- Face-Up: Die Topografie um den Chip soll möglichst gering sein
- Alle nicht benutzten Kontakte eines Chips sollen elektrisch kontaktierbar sein

### 2.2.2 Sensor-System

Die Folie des Sensor-Systems umfasst einen Temperatur- sowie einen Dehnungssensor. Mit einer Materialkombination sollen beide Sensoren auf einem Wafer kombiniert werden. Über elektrische Kontakte sollen die aufgebauten Sensoren charakterisiert und anschließend in das finale System integriert werden.

#### Musskriterien

Folgende Anforderungen müssen mindestens erfüllt sein:

- Das Foliensystem soll auf einem  $675\ \mu\text{m}$  dicken 150 mm Wafer aufgebaut werden
- Durch Temperaturänderung muss eine Spannungsänderung ausgelöst werden
- Durch Dehnung der Folie muss eine Spannungsänderung ausgelöst werden
- Die Ausgangsspannung muss auf den Messbereich des ADCs abgestimmt sein
- Alle Bauelemente sollen durch einen Prober mit gleichbleibendem Abstand der Nadeln messbar sein
- Alle Messwiderstände sollen über einen integrierten Spannungsteiler in eine zu messende Spannung übersetzt werden
- Alle Leiterbahnen sollen durch Nadeln kontaktiert werden können  
→ entsprechende Öffnungen in der Kapselung werden vorgesehen

#### Wuschkriterien

Das Erfüllen folgender Kriterien wäre wünschenswert:

- Eine Goldkontamination soll so lange wie möglich vermieden werden

- Eine Kompensation von Temperaturunterschieden an den Dehnungssensoren wird angestrebt
- Eine Kompensation von Dehnungsunterschieden an den Temperatursensoren wird angestrebt
- Die Sensitivität der Sensoren soll möglichst groß sein
- Jeder Spannungsteiler soll über einen eigenen Spannungseingang durch den EM6819 aktiviert werden
- Es sollen Temperaturen von  $-40^{\circ}\text{C}$  bis  $100^{\circ}\text{C}$  gemessen werden können

## 2.3 Prototyp

Mit Hilfe der verfügbaren Datenblätter der beiden Chips soll ein Schaltplan für die Realisierung des NFC-Tags erarbeitet werden. Vor der Umsetzung in Form eines Foliensystems ist es jedoch notwendig diesen zu verifizieren und zu erproben, da sonst das Risiko eines Fehlers zu groß wäre. Mit Hilfe eines Prototyps auf Basis einer starren Leiterplatte werden beide Chips miteinander verbunden. Auch eine Antenne wird für eine Überprüfung des Verhaltens des NF4 integriert. Über zusätzliche Messstellen können alle Signale mit einem Oszilloskop nachvollzogen werden.

Nach Erprobung des Schaltplans soll der Prototyp im weiteren Verlauf zur Entwicklung der Software des EM6819 benutzt werden können. Zusätzlich soll im Anschluss die zu programmierende Software für das Smartphone erprobt und am Prototyp getestet werden.

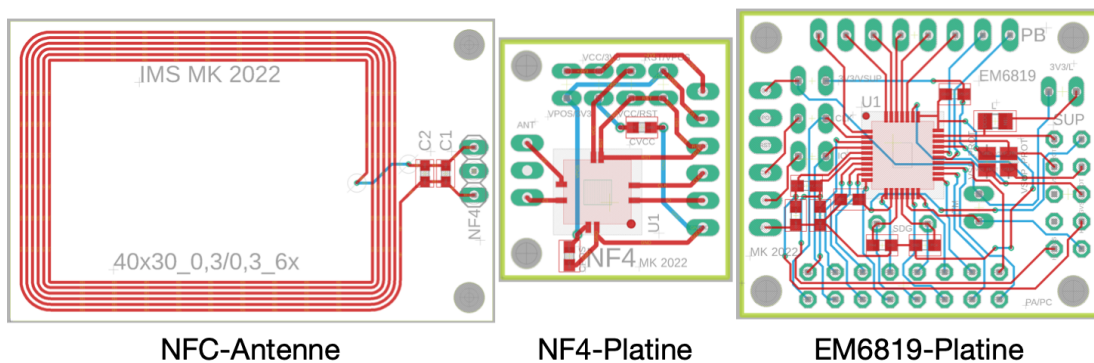
### 2.3.1 Entwurf

Um die vielfältigen Anforderungen an den Prototyp erfüllen zu können, wird zuerst ein Systemkonzept festgelegt. Da die Flexibilität eine sehr wichtige Rolle spielt, soll es möglich sein, auch zusätzliche Bauteile mit der Platine zu verbinden. Für den Mikrocontroller EM6819, den NFC-Chip NF4 und die zugehörige

Antenne sollen jeweils eigene Platinen entworfen und hergestellt werden. Die beiden Chips sollen auf die Platine direkt aufgeklebt und über Wirebonds verbunden werden. Da die Wirebonds sehr berührungsempfindlich sind, wird der verdrahtete Chip mit Expoxidharz vergossen. Zur Erprobung der Auswirkungen des Rückdünnens der Chips wird sowohl ein dicker Chip mit  $400\ \mu\text{m}$  als auch ein ultradünner Chip mit  $30\ \mu\text{m}$  Dicke aufgebaut. Zur Erprobung sollen unterschiedliche Größen von Antennen getestet werden. Als Leiterplatte wird eine FR4-Platine mit grünem Lötstopplack und einer ENIG vergoldeten Oberfläche verwendet. Alle Platinen sollen über Rand-Pinheader verbunden werden.

### 2.3.2 Aufbau

Aus den gestellten Anforderungen wird mit Autodesk Eagle für jede Platine ein Schaltplan mit zugehörigem Layout gezeichnet und anschließend bei einem Leiterplattenfertiger extern bestellt.



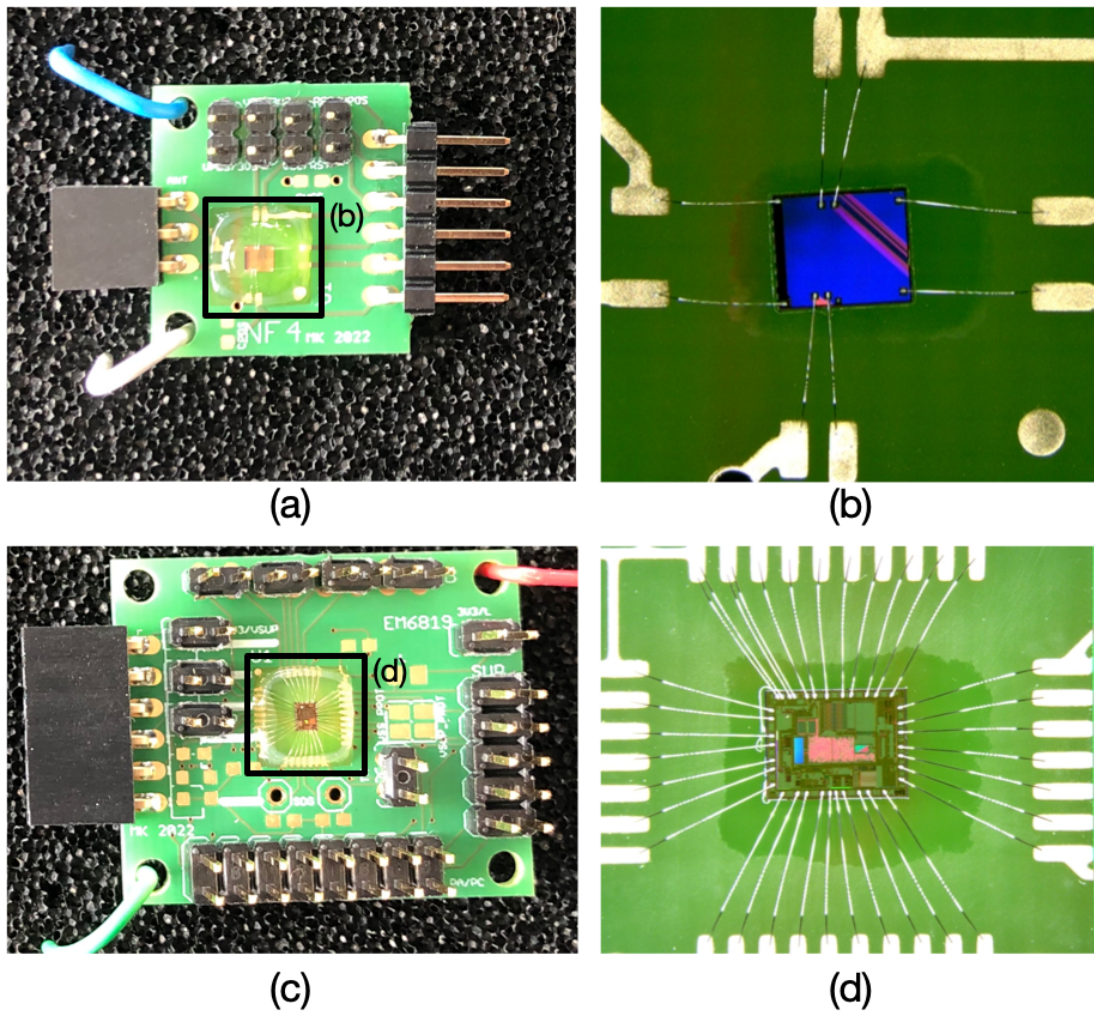
**Abbildung 2.3:** Gezeichnetes Layout und Anordnung der Platinen des Prototyps

In Abbildung 2.3 ist das gezeichnete Layout der drei Platinen zu sehen. Alle notwendigen Verbindungen zwischen den Chips lassen sich über Jumper variabel unterbrechen oder schließen. Auch alle nicht benötigten Pins wurden auf Steckleisten gelegt. Insgesamt lässt sich dadurch jeder Chip einzeln sowie auch im Verbund testen. Es wurden die folgenden Maße von Antennen realisiert:

**Tabelle 2.1:** Entworfenen Varianten der NFC-Leiterplatten-Antennen

Nr.	Windungen	Breite (mm)	Länge (mm)	Abstand Bahnen (mm)	Breite Bahnen (mm)
1	6	40	30	0,3	0,3
2	9	40	30	0,15	0,15
3	9	30	30	0,15	0,15
4	6	30	30	0,15	0,15
5	8	30	20	0,15	0,15
6	10	30	20	0,15	0,15

Mit den unterschiedlichen Antennen sollen die Auswirkungen der Maße auf die Fähigkeit des Energy-Harvestings zur Spannungsversorgung des EM6819 untersucht werden.



**Abbildung 2.4:** Aufnahmen der aufgebauten Prototypen mit aufgeklebten Si-Chips: (a) E6819, (c) NF4 und Mikroskopaufnahmen: (b) EM6819, (d) NF4

In [Abbildung 2.4](#) ist ein Foto der vollständig aufgebauten Prototypen auf Basis einer Platine für den NF4 und den EM6819 zu sehen. Insgesamt bietet der Prototyp dadurch eine gute Möglichkeit, parallel zur Herstellung der finalen Folienysteme bereits mit einem fertigen System auf Basis der beiden ausgewählten Chips zu arbeiten und die Funktion zu überprüfen.

### 2.3.3 Vermessung NF4

Im Folgenden sollte untersucht werden, wie sich die unterschiedlichen Antennen in Bezug auf ihre Kopplung und dadurch auf die Energy-Harvesting Fähigkeit des NF4 mit einem Smartphone verhalten. Um einen Einfluss des Smartphones auf die Messung auszuschließen, wurden zwei unterschiedliche Smartphones, Apple iPhone X und Samsung Galaxy A12, überprüft.

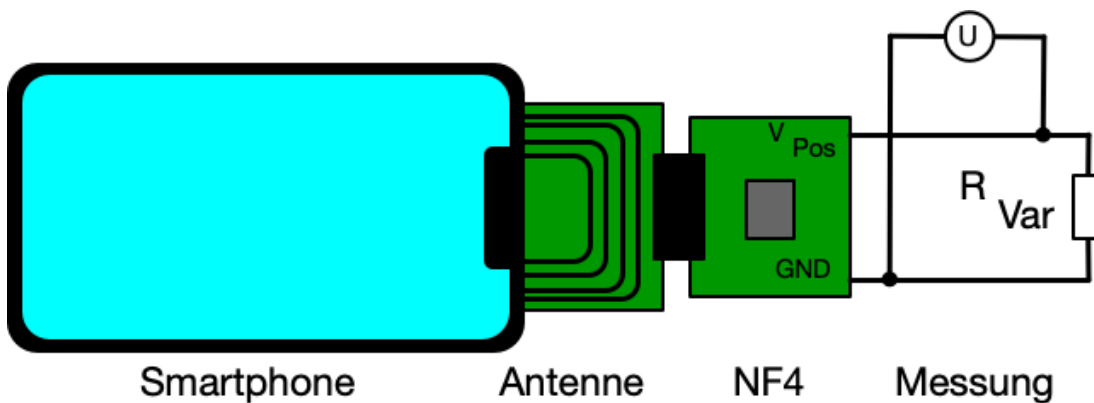
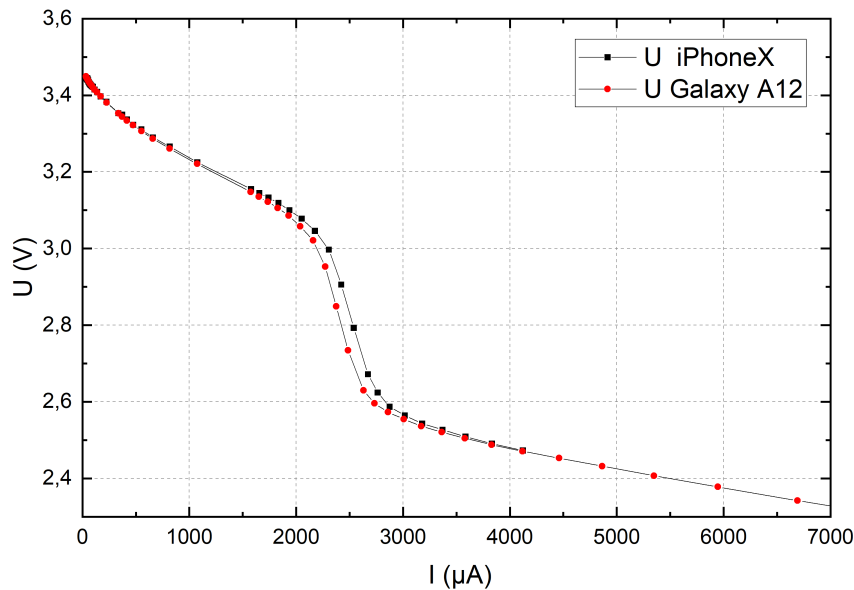


Abbildung 2.5: Blockschaltbild der Vermessung des NF4-Chips

Beide Geräte wurden wie in Abbildung 2.5 dargestellt, direkt auf der Antenne abgelegt. Über einen variablen schrittweise schaltbaren Widerstand  $R_{Var}$  wurde der Ausgang  $V_{pos}$  des NF4-Chips schrittweise stärker belastet und die sich einstellende Spannung gemessen. Über die Spannung und der eingestellte Widerstand wurde anschließend die Stromstärke berechnet. Verwendet wurde ein vergossener NF4-Chip auf einem Evaluationskit des Herstellers EM Microelectronic.





**Abbildung 2.6:** U-I Kennlinie der Spannungsversorgung des NF4 mit unterschiedlichen Lesegeräten (Mobilendgeräte)

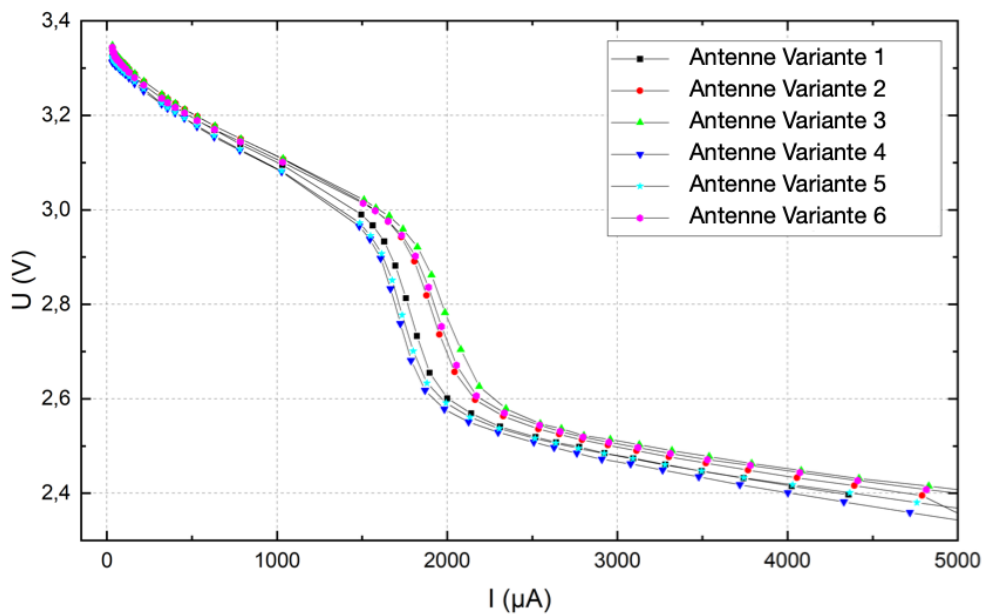
In Diagramm 2.6 ist die U-I Kennlinie des NF4-Chips im Vergleich zwischen den beiden Mobilgeräten eingezeichnet. Zu sehen ist ein annähernd paralleler Verlauf der beiden Kennlinien. Ab einer Stromstärke von  $4000 \mu\text{A}$  ist das Apple iPhone X jedoch nicht mehr in der Lage den NFC-Chip mit einem Magnetfeld zu versorgen und die NFC-Funktion des Geräts wird automatisch abgeschaltet. Das Samsung Galaxy A12 funktioniert hingegen bis zu einer Stromstärke von über  $6500 \mu\text{A}$ . Da die maximale theoretische Abgabeleistung des NF4 durch den Hersteller mit  $5 \text{ mA}$  angegeben wird, wurde die Messung mit höheren Lasten nicht fortgeführt, um eine Beschädigung zu vermeiden. Eine obere Grenze des Galaxy A12 wurde nicht erreicht.

Gut zu sehen ist das bei beiden Geräten langsam abfallende Plateau, bei dem die Spannung nur langsam, bis zu einer Stromstärke von  $2500 \mu\text{A}$  abnimmt. Anschließend bricht die Spannung sehr schnell ein und pendelt sich ab  $3000 \mu\text{A}$  auf einem Niveau von ca.  $2,5 \text{ V}$  ein. Die Fähigkeit des NF4, die angegebene maximale Leistung von  $5000 \mu\text{A}$  zu erbringen, wurde dadurch bestätigt.

Anschließend wurde dieselbe Messung für alle in Tabelle 2.1 aufgeführten Varian-



ten von NFC-Antennen erneut durchgeführt. Es sollte untersucht werden, ob sich die Größe der Antenne durch die kleiner werdenden Varianten negativ auf die Spannungsversorgung durch den NF4 auswirkt. Die Resonanzfrequenz der verwendeten Antennen wurde vorab mithilfe eines aufgelöteten Kondensators der Bauform 0603 auf etwa 14 MHz eingestellt. Die benötigte Kapazität wurde berechnet und nicht durch eine Messung verifiziert.



**Abbildung 2.7:** U-I Kennlinie der Spannungsversorgung des NF4 mit unterschiedlichen Varianten der Antenne (vgl. Tab. 2.1)

In Diagramm 2.7 ist das Ergebnis des Vergleichs der sechs unterschiedlichen Antennen zu sehen. Gut erkennbar ist der nahezu parallele Verlauf der U-I Kennlinien. Ein Einfluss der Antenne bei kurzer Distanz konnte nicht gezeigt werden. Bei der Messung fiel eine starke Varianz der maximalen Lesedistanz auf. Bei größeren Antennen konnte der Tag früher ausgelesen werden. Eine Vergleichbarkeit zwischen den Kennlinien der Messungen aus 2.6 und 2.7 kann jedoch nicht hergestellt werden, da die Vergleichsmessung der beiden Smartphones mit einem Evaluationskit des NF4 durchgeführt wurde. Dadurch entfällt bei der Vergleichsmessung der Smartphones der ohmsche Widerstand der Steckverbindung des Prototyps und die parasitäre Kapazität des deutlich längeren Übertragungswegs im Proto-

typ des Systems von der Antenne zum NF4-Chip.

## 2.4 Aufbau Foliensysteme

Bevor ein CFP-Foliensystem im Reinraum prozessiert werden kann, muss die Abfolge der benötigten Schichten definiert werden. Entsprechend den in Absatz 2.2 gesammelten Anforderungen wird jetzt eine genaue Schichtfolge mit zugehörigen Materialien und Dicken festgelegt.

Nachdem der Schichtaufbau für jedes System festgelegt wurde, wird das zugehörige Layout für jede Belichtungsebene entworfen. Für jede Strukturierung wird im Programm KLayout ein eigener Layer gezeichnet.

### 2.4.1 System Face-Up

Wichtigstes Ziel der System Face-Up Wafer ist es, die beiden ausgewählten Chips in die Folie zu integrieren. Der EM6819 und der NF4 sollen über einen herkömmlichen Face-Up Prozess verdrahtet werden. Zusätzlich ist es nötig, die Antenne in denselben Metalllagen herzustellen. Außerdem müssen ein variabler Tuning-Kondensator und weitere Bauteile, wie z.B. mögliche Kapazitäten des NFC-Tag Schaltkreises integriert werden. Definierendes Element ist hierbei die Antenne. Spulen mit mehr als einer Windung in einer Leiterplatte mit nur einer Metalllage können nicht realisiert werden. Bei mehr als einer Windung muss in einer zweiten Lage der Anfang unter den anderen Windungen herausgeführt werden (vgl. NFC Antenne in Abb. 2.3). Dadurch werden in dieser Charge zwei getrennte, voneinander isolierte Metalllagen benötigt. Für das halbautomatische Platzieren der Chips ist ebenfalls eine zweite Lage notwendig, da Alignmentmarken für eine genaue Positionierung bereits vor der Einbettung vorhanden und gut erkennbar sein müssen.

Eine weitere prozessbedingte Anforderung ist die Einbettung der Chips entlang der mittleren Schicht des Systems, da Biegespannungen entlang der neutralen Zone stark verringert auftreten.

## Schichtaufbau

**Tabelle 2.2:** Schichtaufbau der System Face-Up Wafer

Schicht	Werkstoff	Dicke	Strukturierung
Träger	4x PI2611	20 $\mu\text{m}$	
Ätzstopp	BCB 4024-40	3 – 4 $\mu\text{m}$	Cavity-Etch
Metall 1	AlSi	1 $\mu\text{m}$	Metall 1
Kleber Chips	BCB 3022-35	1 $\mu\text{m}$	
Kapselung	3x PI2611	15 $\mu\text{m}$	Via-Etch
Ätzstopp	BCB 4024-40	3 – 4 $\mu\text{m}$	Via-Etch
Metall 2	AlSi	1 $\mu\text{m}$	Metall 2
Kapselung 2	PI2611	5 $\mu\text{m}$	PadOpen

In Tabelle 2.2 ist der geplante Schichtaufbau inklusive der benötigten Dicken und der notwendigen Strukturierungen zu sehen. Die Abfolge mehrerer Schichten von PI2611 wurden in einer Zeile zusammengefasst. Die Dicke der unterliegenden Träger-Schicht wurde auf 25  $\mu\text{m}$  festgelegt, um eine mechanisch stabile Folie zu erhalten. Wichtig ist hierbei vor allem der Via-Ätzschritt zur Öffnung der Pads der beiden Chips und zur Kontaktierung der beiden Metallisierungsebenen zueinander. Mit einem 40  $\mu\text{m}$  dicken Fotolack müssen ca. 20  $\mu\text{m}$  tiefe Viaöffnungen geätzt werden. Eine weitere Schwierigkeit besteht in der Ätzung der Metalllage 2. Dabei müssen auch um die Chipkante herum alle Metallreste entfernt werden, um einen Kurzschluss zwischen den einzelnen Pins der Chips zu verhindern.

## Schaltplan

Bevor ein Layout für die Strukturierung des Face-Up Systems entworfen werden kann, muss zuerst der zugehörige Schaltplan festgelegt werden. Da es in KLayout nicht möglich ist einen Schaltplan zu zeichnen und diesen anschließend in ein Layout zu konvertieren, wird der Schaltplan mit dem Leiterplatteneditor Autodesk Eagle gezeichnet. Das finale Layout wird daraus händisch abgeleitet. Eine automatische Prüfung des Designs nach vorprogrammierten Regeln findet nicht statt.

Anhand des Prototyps wurde der Schaltplan mit Jumpers in Übereinstimmung mit dem Schaltplan konfektioniert und anschließend bereits gründlich erprobt.

Nachdem die funktionale Richtigkeit des Schaltplans festgestellt wurde, kann das Schaltbild übernommen werden.

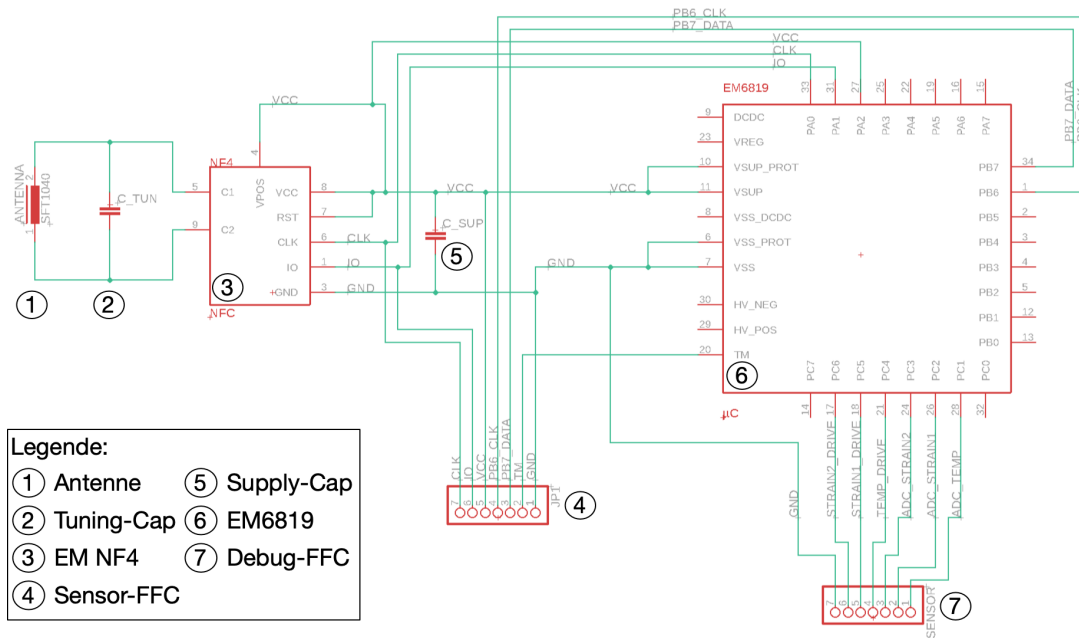


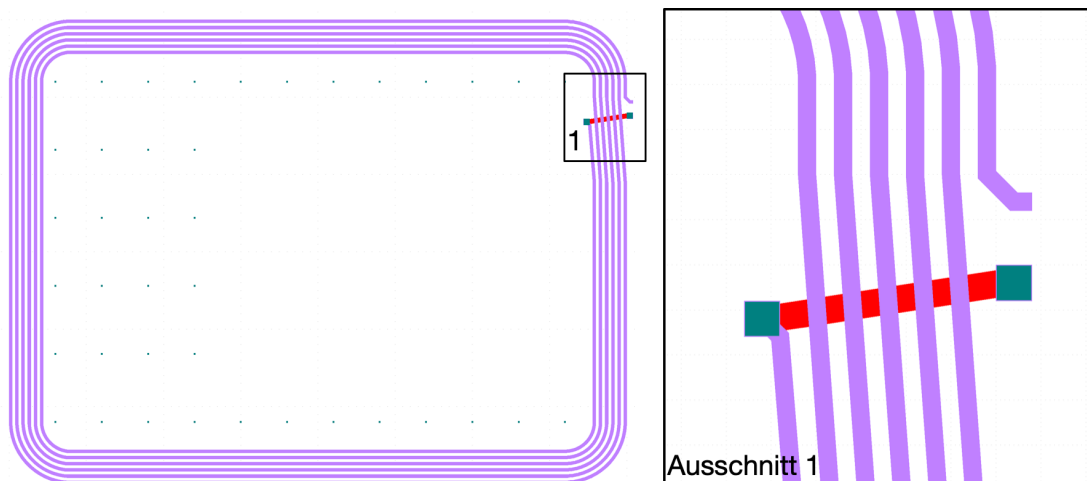
Abbildung 2.8: Schaltplan des NFC-Tags

In Abbildung 2.8 ist der finale Schaltplan des NFC-Tags zu sehen. Er gilt sowohl für das Face-Up System als auch für das Face-Down System mit Nanodrähten. Auf der linken Seite ist der NF4 (3) mit der angeschlossenen Antenne (1) zu sehen. Über einen parallel geschalteten Kondensator (2) (Tuning-Cap) soll die Resonanzfrequenz angepasst werden können. Die durch den NF4 umgewandelte Energie wird nach rechts über den  $V_{pos}$  Pin an den EM6819 (6) weitergegeben. In der Erprobung wurde festgestellt, dass zur Glättung von Stromspitzen im Verbrauch des EM6819 ein paralleler Kondensator (5) an der Versorgungsspannung notwendig ist. Da die Kapazität nicht genau festgelegt wurde, wird eine möglichst große Kapazität im fertigen Foliensystem angestrebt. Auf der rechten Seite ist der EM6819 Chip eingezeichnet. Über einen Foliensteckverbinder-Kontakt ähnlich einem Flexible-flat Cable Steckverbinders (7) (FFC) sollen die Sensoren angeschlossen werden. NF4 und EM6819 sind über die beiden Signale *CLK* und *Data* miteinander verbunden. Über diese Schnittstelle lassen sich seriell Daten übertragen. Um den EM6819 Chip programmieren zu können, wurde in der

Mitte ein weiterer FFC-Kontakt (4) hinzugefügt. Über ihn können die Kontakte *PB6*, *PB7* und *TM* mit dem externen Programmiergerät verbunden werden. Die Verbindung zwischen den beiden Chips lässt sich außerdem über weitere Pins kontaktieren und zur Fehlersuche analysieren.

### Antenne

Da die Antenne am meisten Platz auf dem fertigen Foliensystem einnehmen wird, wurde ihr Layout zuerst gezeichnet. Ausgewählt wurde eine Antenne mit 6 Windungen, einem Abstand zwischen den Leiterbahnen von  $200\ \mu\text{m}$  und einer Breite der Bahnen von ebenfalls  $200\ \mu\text{m}$ . Da in der Erprobung mit einer großen Antenne eine größere Lesedistanz erreicht werden konnte, wurde eine Antenne mit den Maßen  $40\ \text{mm} \times 30\ \text{mm}$  ausgewählt. Auf eine zusätzliche Reduktion der benötigten Fläche wurde bewusst verzichtet, da eine möglichst robuste Auslegung am wichtigsten war. Auf einem  $150\ \text{mm}$  Wafer können so maximal 6 Foliensysteme hergestellt werden. Auf drei Wafern werden bei diesem Entwurf insgesamt 18 Foliensysteme prozessiert. Diese Anzahl reicht für eine Demonstration des Funktionsprinzips aus und reduziert auch die Anzahl der benötigten Chips bei einem späteren Face-Down System, bei dem die Pads der Chips erst vergoldet werden müssen.



**Abbildung 2.9:** Layout der NFC-Antenne:  $40\ \text{mm} \times 30\ \text{mm}$ ,  $200\ \mu\text{m}$  breite Bahnen mit 6 Windungen

In Abbildung 2.9 ist das gezeichnete Layout der NFC-Folienantenne zu sehen. Auf der rechten Seite wurde der benötigte Rücksprung der Leiterbahnen vergrößert dargestellt. Die Leiterbahnen werden über die zweite, in Rot dargestellte Metalllage unter der anderen Lage hindurchgeführt. An den dunkelgrünen Stellen wurde das Polymer zwischen beiden Lagen im Via-Ätzschritt entfernt und eine Verbindung erzeugt.

### Tuning-Kondensator

Das zweite Bauteil ist ein, der Antenne zugehöriger, variabel einstellbarer Tuning-Kondensator. Er wird vorab mit einer überdimensionierten Kapazität als Fingerkondensator ausgelegt und kann im fertigen Foliensystem durch gezieltes Trennen von Leiterbahnen in seiner Kapazität schrittweise verkleinert werden. Um eine möglichst genaue Einstellung zu ermöglichen, wurden sowohl große als auch kleine Teilbereiche abtrennbar gestaltet. Über das spätere Messsetup kann so iterativ die Resonanzfrequenz gemessen und anschließend justiert werden.

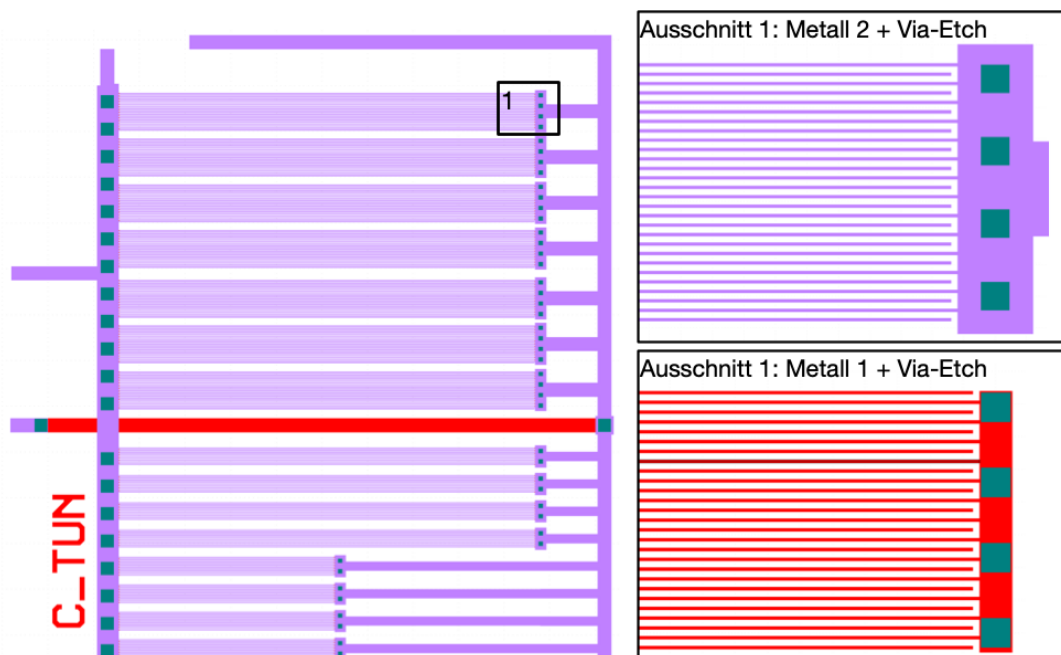


Abbildung 2.10: Layout des Tuning-Kondensators

In Abbildung 2.10 ist das finale Layout des Tuning-Kondensators zu sehen. Auf

beiden Metalllagen wurden abwechselnd mit beiden Polen verbundene Leiterbahnen mit einer Breite von  $5\ \mu\text{m}$  und einem Abstand von  $10\ \mu\text{m}$  eingezeichnet. Aneinander liegende Bahnen laden sich so gegeneinander auf. Zusätzlich findet derselbe Vorgang auch zwischen den beiden Metalllagen statt. Auf der rechten Seite sind unter einer Schraffur der PadOpen-Layer und die trennbaren Leiterbahnen eingezeichnet. Sie bieten genügend Platz, um manuell abgetrennt werden zu können, ohne die Beschädigung einer angrenzenden Struktur zu riskieren.

### System-Verdrahtung

Unter Verwendung der bereits vorgestellten Komponenten und dem Schaltplan aus Abbildung 2.8 wird ein vollständiges Layout für einen Tag erarbeitet. Über Leiterbahnen werden alle Komponenten elektrisch verbunden. Die beiden Chips wurden außerhalb der Antenne platziert. Dies kostet zwar extra Platz auf dem Wafer, verbessert jedoch die induktive Kopplung zwischen Lesegerät und NFC-Tag. Wenn einmal die Funktionsfähigkeit gezeigt wurde, kann anschließend die Platzierung des Sensor-Systems in die Mitte der Antenne untersucht werden.

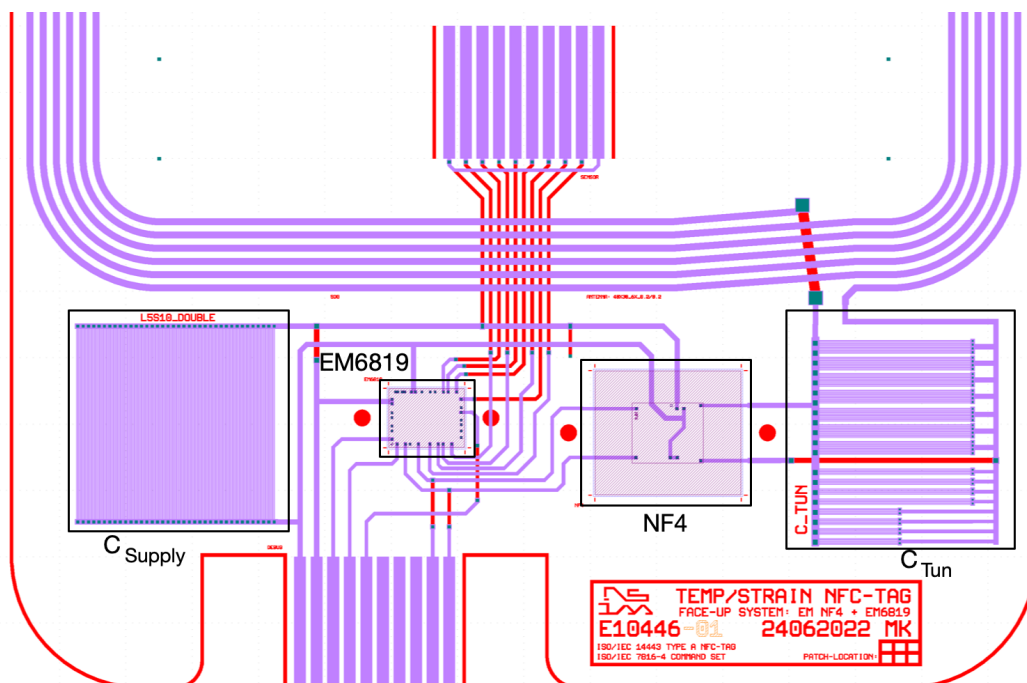


Abbildung 2.11: Layout des Verdrahtung des NFC-Tags

Das finale Layout ist in Abbildung 2.11 zu sehen. Platziert wurden die beiden Chips in der Mitte zwischen den angrenzenden Zusatzbauteilen. Auf der linken Seite befindet sich der EM6819 mit dem zugehörigen Kondensator an der Spannungsversorgung  $C_{Sup}$ . Alle für die Messungen nötigen Pins wurden mit einem Stecker innerhalb der Antenne für das Sensor-System verbunden. Alle Pins für die Programmierung wurden mit dem FFC-Stecker an der Unterseite verdrahtet. In der Mitte rechts befindet sich der NF4-Chip. Da die Pins des NF4 sehr nahe an der Sägekante des Dies platziert sind, wurde ein vergrößerter Chip verwendet, der mit einem doppelten Pitch gesägt wurde. In jeder Raumrichtung befindet sich dadurch ein halbiertes weiterer NF4-Chip. Auf der rechten Seite des NF4 schließt der Tuning-Kondensator mit der Antenne an. Um eine halbautomatische Platzierung der Chips zu ermöglichen, wurden links und rechts von jedem Chip noch eine kreisrunde Alignmentmarke (in Rot markiert) in der ersten Metalllage vorgesehen.

Insgesamt konnten so auf einer Grundfläche von 12 mm x 30 mm beide Chips und die zugehörigen Bauteile wie Tuning-Kondensator und der Supply-Kondensator als Puffer der Versorgungsspannung realisiert werden. Zusätzlich wurde die Distanz der beiden Chips mit 5 mm im Vergleich zum Prototyp reduziert.

Unter Verwendung des gezeichneten Layouts wurde anschließend ein Layout für den gesamten Wafer entworfen. Insgesamt 6 NFC-Tags wurden auf einem Wafer angeordnet.

## 2.4.2 System Nanodrähte

### Schichtaufbau

Der Schichtaufbau der System-Nanodrähte Wafer unterscheidet sich durch das geänderte Prinzip der Einbettung der Chips vom Aufbau der Face-Up Systeme. Zuerst werden alle funktionalen Metallebenen in der Folie realisiert und anschließend extern die Nanodrähte aufgewachsen. Auf die vollständig funktionale Folie werden die Chips, ähnlich einer starren Leiterplatte, nachträglich verbunden. Alle Komponenten, die auch in der Face-Up Charge in den Metalllagen realisiert wurden, müssen in diesem Schichtaufbau ebenfalls berücksichtigt werden. Eine Reduktion der Metalllagen auf eine Schicht ist daher, mit dem Verweis auf



die Antennen-Spule, nicht möglich. Insgesamt kann sogar weitestgehend dasselbe Layout der Face-Up Wafer benutzt werden.

**Tabelle 2.3:** Schichtaufbau der Face-Down System Wafer

Schicht	Werkstoff	Dicke	Strukturierung
Träger	5x PI2611	25 $\mu\text{m}$	
Ätzstopp	BCB 4024-40	3 – 4 $\mu\text{m}$	
Metall 1	AlSi	1 $\mu\text{m}$	Metall 1
Trennschicht	PI2610	1 $\mu\text{m}$	Via Etch
Metall 2	Ti/Au	100 nm /300 nm	Metall 2
Nanodrähte	Kupfer		Lackmaske
Kapselung	PI2611	5 $\mu\text{m}$	PadOpen

In Tabelle 2.3 ist der Schichtaufbau der System-Nanodrähte Wafer aufgelistet. Im Unterschied zum Aufbau der Face-Up Wafer in Tabelle 2.2 wurde die Dicke der Trägerfolie um eine weitere Lage Polyimid PI2611 ergänzt. Da auf eine dicke Kapselung der Chips mit PI und BCB verzichtet wird, würde die Folie sonst zu dünn und dadurch sehr empfindlich auf Beschädigungen reagieren. Die folgende Lage AlSi wird dabei analog der Face-Up Charge strukturiert. Abschließend folgt die Kapselung der Metallisierung. Durch eine 1  $\mu\text{m}$  dicke Schicht PI2610 werden die Leiterbahnen der ersten Metalllage von der zweiten isoliert. Abgestimmt auf den Prozess des Aufwachsens der Nanodrähte wird anschließend eine Metallisierung, bestehend aus 100 nm Titan und 300 nm Gold aufgedampft und strukturiert. Nach einer folgenden Lackmaske können nun die Kupfer-Nanodrähte zum Aufwachsen gebracht werden. In die Nanodrähte hinein können dann die vergoldeten Pads der einzubettenden Chips gepresst werden. Um die nur durch die Verbindung der Kontakte gehaltenen Chips zu schützen und zu befestigen, wird eine Kapselung aus PI2611 aufgeschleudert. Durch einen PadOpen-Ätzschritt werden die Kontakte anschließend wieder geöffnet.

Im Gegensatz zum Aufbau der Face-Up Systeme befinden sich die Chips dadurch nahezu auf der Oberfläche des Foliensystems. Vorteilhaft gegenüber der Face-Up Variante ist jedoch der insgesamt reduzierte Aufwand der Prozessierung. Aufwändige und komplexe Aspekte, wie die Ätzung von sehr tiefen Vias und die Metallisierung über die große Topografie der Chipkante hinweg, entfallen vollständig.

## Layout

Für die Wafer des Face-Down Systems mit Nanodrähten wurde, um die Vergleichbarkeit zu erhalten und um den Zeichenaufwand zu reduzieren, kein vollständig neues Layout gezeichnet. So wurde das Layout des Face-Up Systems um die Hochachse gespiegelt. Da bei der Face-Down Prozessierung nur ein gemeinsamer Cavity und Via-Ätzschritt vorgesehen ist, wurden beide Layer zu einem gemeinsamen Design für diesen Ätzschritt kombiniert. Um die Waferoberfläche vor dem Aufwachsen zu schützen, wurde zusätzlich ein Layer eingezeichnet, um auf definierten Bereichen gezielt Nanodrähte aufwachsen zu können.

### 2.4.3 Sensor-System

#### Schichtaufbau

Der Aufbau der Sensor-Systeme unterscheidet sich sehr stark von den anderen beiden Chargen. Auf einer aufgeschleuderten Polyimidfolie sollen ein Temperatursensor und ein Dehnungssensor durch unterschiedlich strukturierte Metalllagen realisiert werden. Wesentlich ist dabei die Auswahl der Metalle und die Dicke der jeweiligen Lagen. Diese Faktoren bestimmen das Verhalten der Widerstände in Bezug auf Änderungen der Temperatur und Dehnung des Foliensystems.

Zuerst wird das für die Dehnungssensoren zu verwendende Metall ausgewählt. Ausgehend von den bereits gemachten Erfahrungen in [20] wird Gold als Material für die Dehnungssensoren und deren Referenzwiderstände festgelegt. Als Dehnungssensor und Referenzwiderstand wird dasselbe Metall verwendet. Durch den somit gleichen Koeffizienten steigt der Widerstand bei Temperaturänderung proportional zum absoluten Widerstand an. Mit der Verschaltung über einen Spannungsteiler wird auf diese Weise eine inhärente Temperaturkompensation der Dehnungssensoren erreicht. Problematisch ist jedoch der geringe spezifische Widerstand von Gold. Da für einen geringen Stromverbrauch während einer Messung möglichst große Widerstände benötigt werden, müssen im späteren Layout sehr lange Leiterbahnen mit einem sehr dünnen Querschnitt gezeichnet werden. Ein wichtiger Faktor ist auch die Dicke der Bahnen. Mit einer Dicke von 120 nm und einer unterliegenden Schicht von 20 nm Titan als Haftvermittler wurde hier

ein Kompromiss eingegangen. Auf der einen Seite können dadurch kleine Leiterbahnen für die Widerstände, aber auch breite Leiterbahnen zur Kontaktierung aller Bauelement auf der Sensor-Folie mit Gold-Leiterbahnen hergestellt werden. Als nächstes werden die beiden Metalle für einen Temperatursensor und dessen Referenzwiderstand ausgewählt. Eine Herstellung beider Widerstände aus demselben Material würde das Funktionsprinzip gegen sich selbst blockieren und die Messstrecke wäre temperaturkompensiert. Aus diesem Grund müssen zwingend zwei Metalle mit möglichst unterschiedlichen Temperaturkoeffizienten des elektrischen Widerstands verwendet werden. In Tabelle 1.1 sind die Koeffizienten der am IMS vorhandenen Metalle aufgelistet. Herausragend verhält sich Nickel. Mit seinem hohen Wert des Koeffizienten steigt der spezifische Widerstand bei Temperaturänderung am stärksten von allen anderen Metallen an. Als zweites Metall wird zusätzlich Platin ausgewählt. Durch seinen hohen Grundwiderstand und dennoch vergleichsweise niedrigen Temperaturkoeffizienten eignet es sich gut für einen Mess- und Referenzwiderstand.

**Tabelle 2.4:** Schichtaufbau der Sensor-System Wafer

Schicht	Werkstoff	Dicke	Strukturierung
Träger	6x PI2611	30 $\mu\text{m}$	
Metall 1	Ti/Ni	20 nm/80 nm	Metall 1
Metall 2	Ti/Pt	20 nm/80 nm	Metall 2
Metall 3	Ti/Au	20 nm/120 nm	Metall 3
Kapselung	PI2610	1 $\mu\text{m}$	PadOpen

In Tabelle 2.4 ist der Schichtaufbau der Sensor-System Wafer aufgelistet. Eine Polyimidfolie mit einer Dicke von 30  $\mu\text{m}$  bildet eine mechanisch stabile Trägerschicht für die später aufgebauten Sensoren. Die Sensor-Folie kann dadurch gut gehandhabt werden, auch wenn sie noch nicht auf dem späteren NFC-Tag verbunden ist.

Von großer Bedeutung ist neben der Auswahl der geeigneten Metalllagen auch die zugehörige Reihenfolge der Prozessierung. Da die Aufdampfanlage im Reinraum für Nickel nicht goldkontaminiert werden darf, müssen alle Nickel-Strukturen zuerst hergestellt werden. Nach dem Aufdampfen von Platin oder Gold wären die Wafer direkt kontaminiert. Als zweite Schicht wird Platin ausgewählt. Da die Leiterbahnen aus Gold strukturiert werden, können so zwei unabhängige Wider-

stände hergestellt werden. Im letzten Schritt werden dann beide Widerstände mit Gold kontaktiert und die noch fehlenden DMS-Widerstände ebenfalls hergestellt. Mit einer zusätzlichen Lage PI2610 von 1  $\mu\text{m}$  Dicke werden die Sensoren anschließend vor mechanischen Beschädigungen und Korrosion geschützt.

### Schaltplan

Aus den gesammelten Anforderungen muss für die Sensor-System Charge ebenfalls ein Layout erarbeitet werden. Über den Schichtaufbau wurden bereits die Werkstoffe für die verschiedenen Widerstände festgelegt.

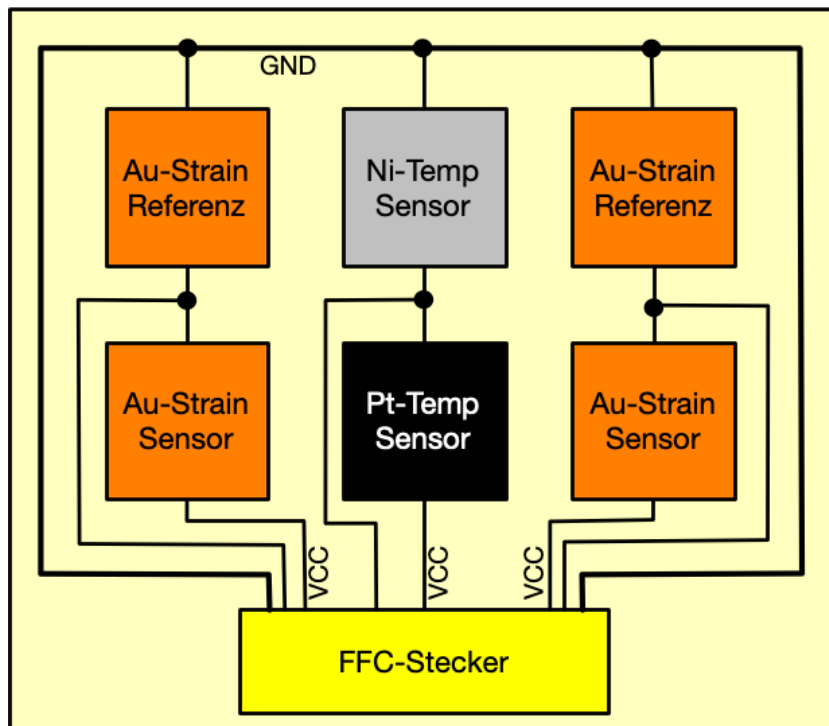


Abbildung 2.12: Schaltplan des Sensor-Systems

In Abbildung 2.12 ist das Konzept der Sensor Folie zu sehen. In der Mitte wurden die beiden Temperatursensoren angeordnet. Rechts und links befinden sich je ein Dehnungssensor und ein Referenzwiderstand. Es wurden zwei DMS auf der Folie vorgesehen, um durch einen um 90° gedrehten Sensor auf der rechten Seite eine Messung in zwei Raumrichtungen zu ermöglichen. Über einen FFC-Stecker sollen alle elektrischen Kontakte gebündelt werden.

## Auslegung Temperatur- und Dehnungssensor

Bevor ein Layout für die Strukturierung der Metalllagen gezeichnet werden kann, muss zuerst der angestrebte Widerstandsbereich festgelegt werden. Für eine möglichst hohe Auflösung der Temperatursensoren muss der ADC des EM6819 mit einem hochauflösenden Modus der Signalaufbereitung betrieben werden. So verteilen sich die 1024 unterscheidbaren Spannungsstufen auf einen Spannungsbe- reich von 1,1 V bis 1,7 V. Überschreitet der Spannungsausgang der Messwider- stände diesen Wertebereich, wird eine Messung unmöglich. Um dieses Problem zu vermeiden, werden die Temperatur- und Dehnungssensoren auf eine Spannung am Abgriff von 1,4 V bei einer Versorgungsspannung von 3,3 V ausgelegt. Dadurch ergibt sich ein Verhältnis der Beträge der Widerstände im Ruhezustand bzw. bei 20 °C von 42% zwischen *GND* und dem ADC und 58% zwischen ADC und der Versorgungsspannung  $V_{CC}$ .

Für eine Auslegung der Temperatur-Messwiderstände wurde das erwartete Ver- halten zur Verifikation mit Matlab simuliert. In Abbildung 2.13 ist das Verhalten der Ausgangsspannung in Abhängigkeit der angelegten Raumtemperatur einge- zeichnet. Zu erkennen ist eine Änderung der Ausgangsspannung am ADC von 0,2 V über eine Temperaturänderung von 120 K. Dadurch bleibt bis zur oberen und unteren Grenze des ADCs eine Reserve von jeweils 0,2 V. Dies ermöglicht einen Ausgleich von Herstellungstoleranzen und eine Varianz der angelegten Ver- sorgungsspannung  $V_{CC}$  am Spannungsteiler. Verteilt auf 1024 mögliche Span- nungsstufen des ADCs ergibt sich eine unterscheidbare Temperaturdifferenz von 0,47 K pro Stufe. Kleinere Temperaturunterschiede können deshalb nicht durch den ADC digitalisiert werden.

Das Verhalten des DMS wurde nicht vorab simuliert. Infolge der Abhängigkeit von mechanischen Eigenschaften des Foliensystems muss das finale Verhalten an einem realen System vermessen und charakterisiert werden.

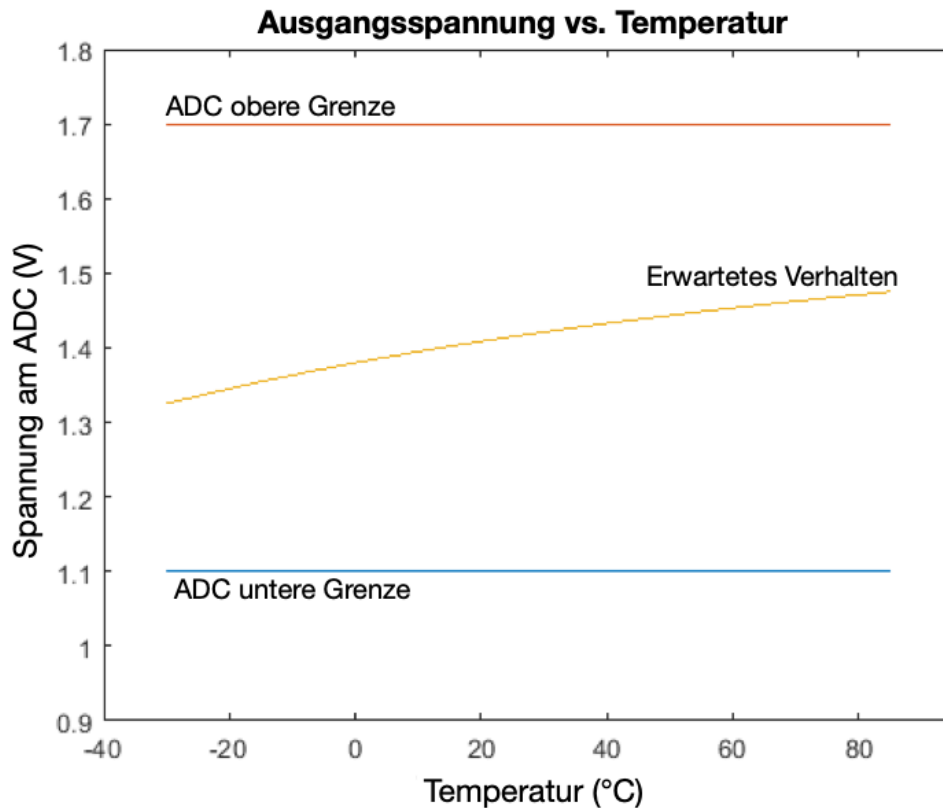


Abbildung 2.13: Berechnetes Verhalten des Temperatursensors am ADC

## Layout

Unter Berücksichtigung der berechneten Verhältnisse der Widerstände der Spannungsteiler zueinander können jetzt die einzelnen Widerstände gezeichnet werden. Für alle Widerstände wird die Breite der Leiterbahnen auf  $10\ \mu\text{m}$  festgelegt. Dies gewährleistet eine gute Strukturierbarkeit durch Lift-Off nach dem Aufdampfen der Metallagen. Da der Schichtwiderstand von Nickel und Platin mit der Kombination aus Werkstoff, Aufdampfprozess und Schichtdicke nicht genau bekannt war, wurden auf einer Grundfläche von  $1,5\ \text{mm} \times 11,5\ \text{mm}$  ein jeweils möglichst großer Messwiderstand realisiert. Nachdem die Nickel- und Platin-Metallagen strukturiert sind, kann der reale Widerstand der gemessenen Widerstände ermittelt werden. Die noch nicht vollständig verdrahtete Schaltung ermöglicht eine Messung jedes Temperatur-Sensors mit einem Nadelprober. Daraus kann anschließend der benötigte Anteil des Widerstands berechnet werden, um ein defi-

niertes Verhältnis von 42% zu 58% zu erhalten. Bei der Strukturierung der Gold-Sensoren und deren Verdrahtung kann der benötigte Anteil durch Kurzschließen an der richtigen Stelle eingestellt werden.

In Abbildung 2.14 ist das Layout zu sehen.

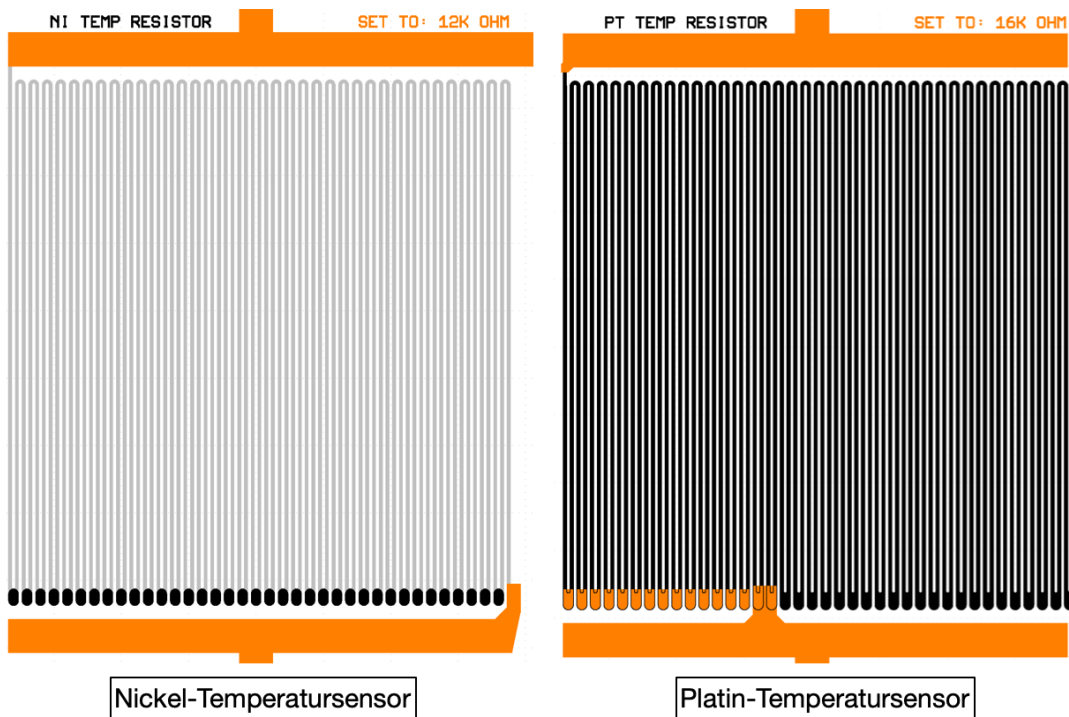
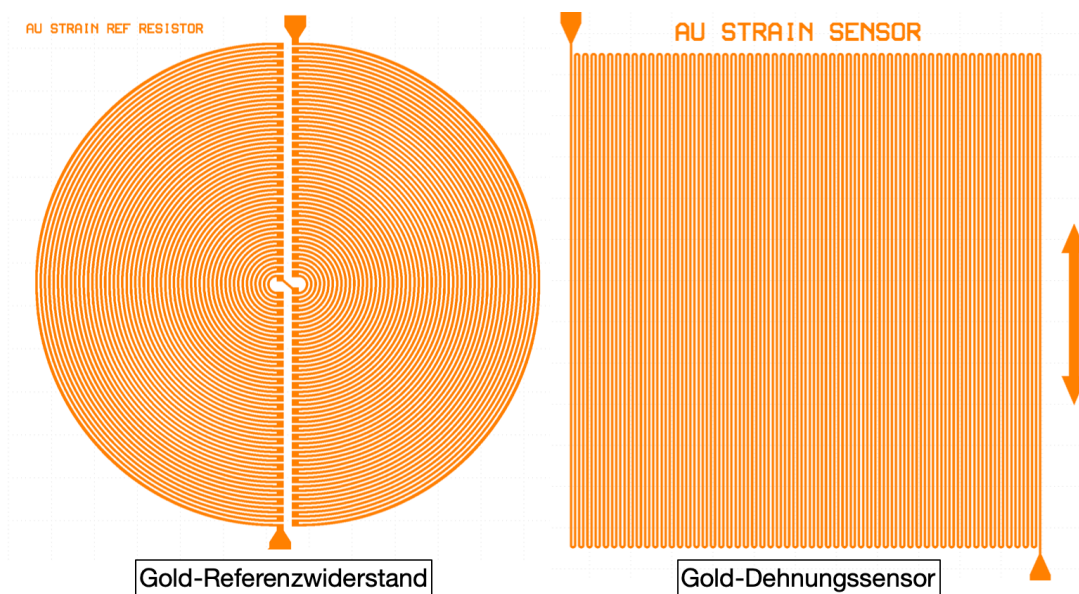


Abbildung 2.14: Layout der Messwiderstände des Temperatursensors

Bei der Auslegung der Dehnungssensor-Widerstände ist diese Vorgehensweise nicht anwendbar. Eine nachträgliche Verkürzung der Bahnen durch eine weitere Lage Metall ist nicht möglich, da Gold die letzte Metalllage ist. Da jedoch sowohl der Referenz- als auch der Messwiderstand aus Gold hergestellt wird, kann ein festes Widerstandsverhältnis durch eine Abstimmung der Länge der Bahnen im Layout eingestellt werden. Voraussetzung ist eine gleichbleibende Breite der Leiterbahnen. Auf einer Grundfläche von 2,3 mm x 2,3 mm wurde zuerst der Dehnungssensor gezeichnet und die erhaltene Länge der Leiterbahnen berechnet. Ausgehend von der Anforderung des Verhältnisses wird die benötigte Länge des Referenzwiderstands ausgelegt. Wichtig für den Referenzwiderstand ist im Gegensatz zum Sensor eine minimale Sensitivität gegenüber Dehnungen. Über einen in Abbildung 2.15 sichtbaren kreisförmigen Verlauf der Leiterbahnen des Referenz-

widerstands soll diese Eigenschaft sichergestellt werden. So verlaufen immer ca. 50% der Leiterbahnlänge nicht in der Dehnungsrichtung. Um ein induktives Verhalten ähnlich einer Spule zu verringern, wurde der Widerstand halbiert und aus zwei in Reihe geschalteten Hälften zusammengesetzt.

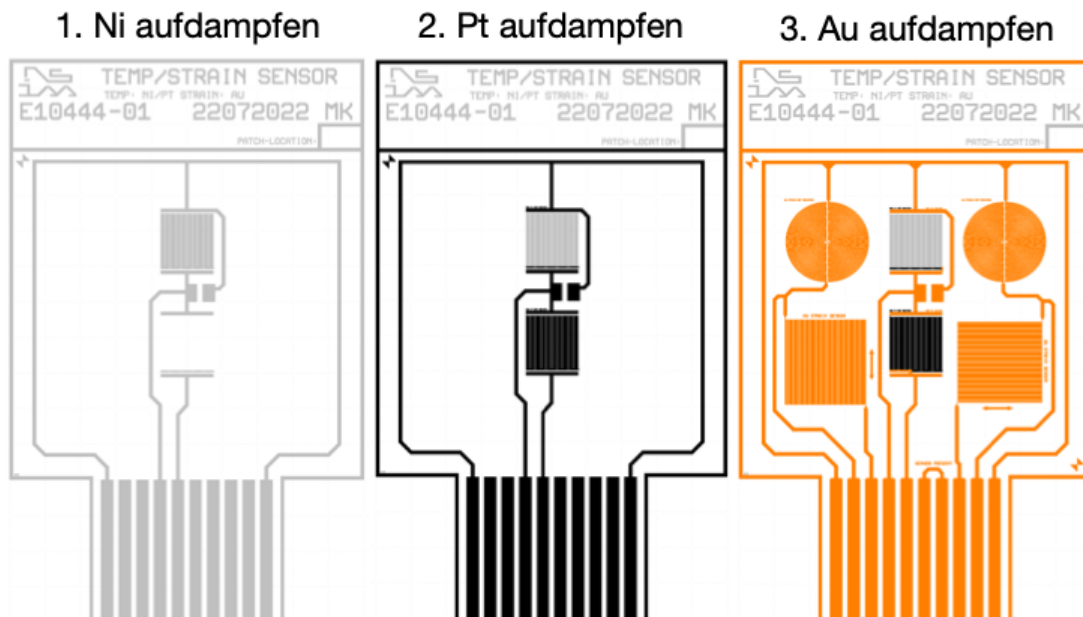


**Abbildung 2.15:** Layout des Dehnungssensors und des Referenzwiderstands

Das finale Layout eines Sensor-System Patches wird aus den bereits definierten Komponenten zusammengesetzt und anschließend verdrahtet. Über einen 10-poligen FFC-Stecker an der Unterseite können alle Spannungsteiler mit dem NFC-Tag verbunden und durch den EM6819 ausgelesen werden. Für eine Positionierung des Systems auf dem Tag mit einem kamerabasierten Pick-and-Place Tool wurden zwei Alignmentmarken hinzugefügt.

In Abbildung 2.16 wird die Reihenfolge der geplanten Abscheidungen und Strukturierungen aufgezeigt. Am Anfang wird der Nickel-Sensor hergestellt. Unter dem eigentlichen Sensor ist zusätzlich eine Kontaktstelle erkennbar, um eine automatische Vermessung mit einem Nadelprober zu ermöglichen. Mit der Abscheidung der Lage Platin wird der zweite Sensor hergestellt. Finalisiert wird der Aufbau durch die Goldlage mit der Kontaktierung der Widerstände und der Herstellung der Dehnungssensoren. Wichtige Leiterbahnen, wie die Masse oder der FFC-Stecker, wurden in alle Metalllagen eingeplant, um eine möglichst robuste Schichtdicke zu erreichen.





**Abbildung 2.16:** Ablauf der Herstellung des Sensor-Systems

Auf der rechten Seite von 2.16 ist das fertige Layout eines Sensor-Systems zu sehen. Mit einer Kantenlänge von 10 mm x 16 mm ist das Sensor-Foliensystem ein sehr kleines Bauteil. In das Layout eines vollständigen Wafers können dadurch insgesamt 62 Patches eingezeichnet werden. Auf den drei geplanten Wafers lassen sich so 186 Foliensysteme herstellen.

Das Layout zur Herstellung des Sensor-System Wafers ermöglicht insgesamt eine statistische Untersuchung des Verhaltens der Systeme und auch eine Aussage in Bezug auf die erreichte Qualität des Herstellungsprozesses.

## 2.5 Konzeption Pad-Vergoldung

Ein sehr wichtiger Baustein in der Vorbereitung des Aufbaus des NFC-Tags mit Nanodrähten ist die Vergoldung der Pads des NFC-Chips NF4 und des Mikrocontrollers EM6819. Ohne eine Vergoldung wäre eine zuverlässige Verbindung zwischen den Nanodrähten aus Kupfer und den Kontaktpads aus Aluminium aufgrund der schnellen Oxidation nicht möglich.

Die herkömmliche Vorgehensweise wäre das Vergolden der Pads auf einem vollständigen Wafer mit einem Gold-Lift-off Prozess. Für diese Arbeit ist jedoch kein vollständiger Wafer von beiden Chips vorhanden. Nur bereits gesägte und rückgedünnte Chips mit einer Dicke von  $30\ \mu\text{m}$  stehen zur Verfügung. In vielen Fällen trifft dieses Szenario auch auf die Entwicklung von Prototypen eines Foliensystems zu. Oft sind die ausgewählten Chips nicht in großer Stückzahl auf einem Wafer vorhanden, oder ein ganzer Wafer wäre in der Beschaffung zu teuer.

Aus diesen Gründen musste in dieser Arbeit zusätzlich ein Verfahren entwickelt werden, um die Kontaktpads einzelner dünner Chips zu vergolden. In [Abbildung 2.17](#) ist der entworfene Prozessfluss der Pad-Vergoldung dargestellt. Zuerst wird ein herkömmliches Foliensystem mit zwei Lagen Polyimid PI2611 und einer Dicke von  $10\ \mu\text{m}$  hergestellt. (2) Anschließend werden  $3,5\ \mu\text{m}$  tiefe Kavitäten für jeden Chip in das Foliensystem geätzt. (3) In diese werden die Chips mit einem manuellen Pick-and-Place Tool auf einer Schicht BCB 3022-35 mit  $1\ \mu\text{m}$  Dicke eingeklebt. (4) Anschließend wird ein Gold-Lift-off mit einer Schichtdicke von  $300\ \text{nm}$  und einer  $20\ \text{nm}$  Schicht Titan als Haftvermittler durchgeführt. (5)

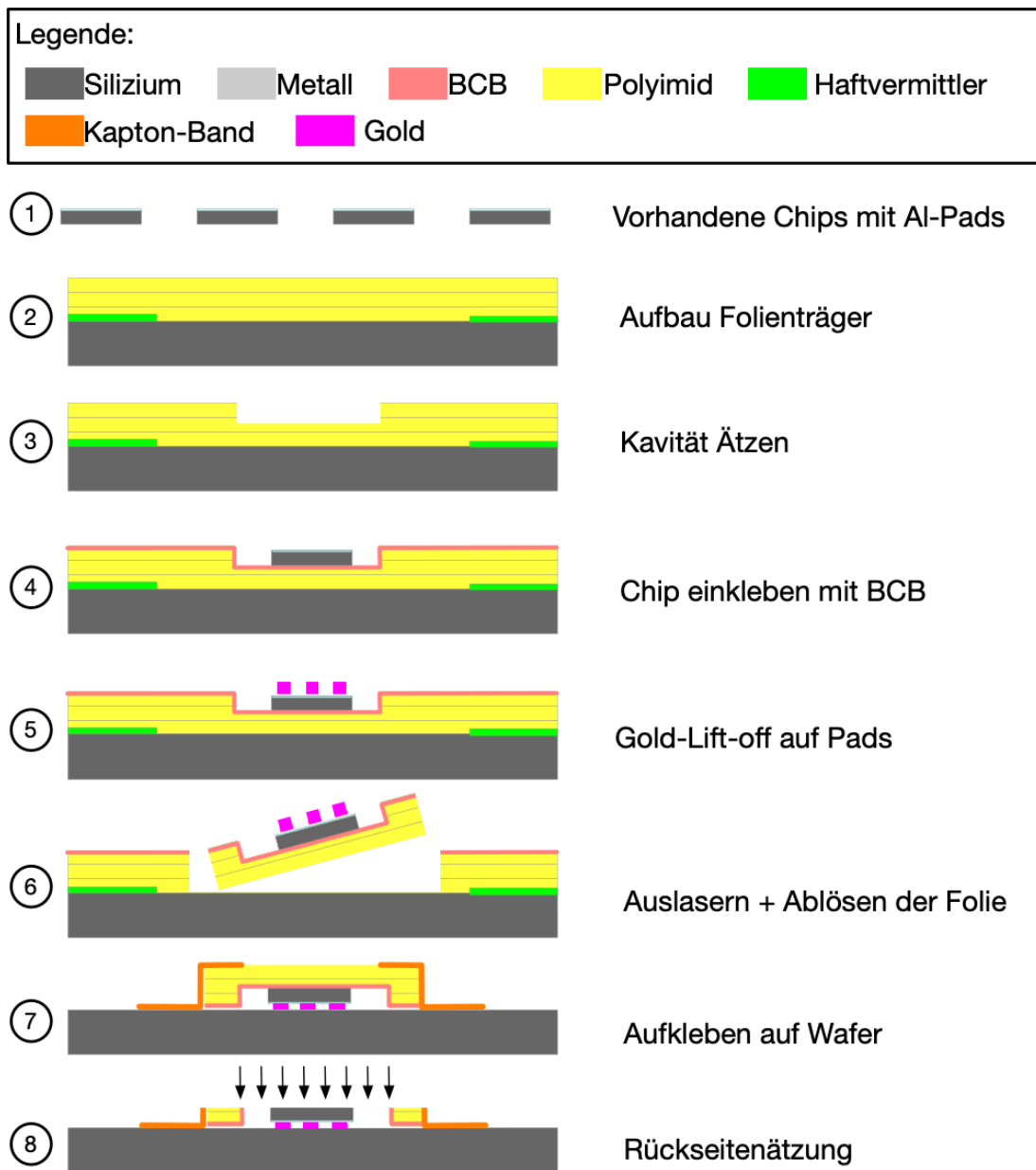


Abbildung 2.17: Prozessfluss der Pad-Vergoldung

Der wichtigste Teilschritt des Verfahrens folgt mit der Trennung der Chips vom Foliensystem. Ein mechanisches Ablösen der Chips wäre aufgrund der Dicke und des BCB-Klebers nicht beschädigungsfrei möglich. Zuerst wird das Foliensystem mit einem Laser kreisförmig ausgeschnitten. Dies ermöglicht das leichte händische Ablösen der Folie mit den Chips. (6)

Die abgelöste Folie wird mit der Oberseite der Chips nach unten (Face-Down) auf

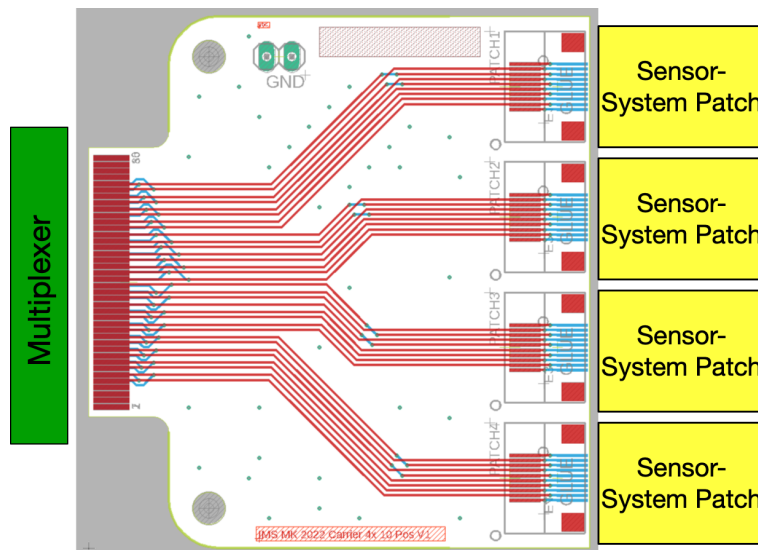
einen Transferwafer gelegt und mit Kapton-Klebeband befestigt. (7) Durch eine Rückseitenätzung in einem Plasmaätzter wird nun die Dicke der Folie schrittweise reduziert, bis die Chips frei von Folienresten auf der Waferoberfläche verbleiben. (8) Da die Chips in einer Vertiefung platziert wurden, werden zuerst die Chips frei geätzt und können abgepickt werden.

Insgesamt bietet diese Methode eine Möglichkeit, die Kontaktpads einzelner Chips für eine Face-Down Einbettung mit Nanodrähten zu vergolden.

## 2.6 Messeinrichtungen

Zur elektrischen Charakterisierung werden die Sensor-Systeme zuerst auf einem beheizten Nadelprober bei unterschiedlichen Temperaturen vermessen. Eine Erprobung der Dehnungssensoren auf dem Wafer ist jedoch nicht möglich. Auch ist eine Charakterisierung unter 10 °C auf dem am IMS verfügbaren Nadelprober nicht möglich. Aus diesem Grund erfolgt eine weitere Erprobung in einem Ofen und unter mechanischer Dehnung. Nachdem die Folie abgelöst wurde, kann jedoch jeder Spannungsteiler nur über den FFC-Stecker kontaktiert werden.

Im Ofen wird nicht jeder Widerstand individuell vermessen. Die Ausgangsspannung der drei Mess-Spannungswandler wird über ein Spannungsmessgerät die ausgegebene Spannung digitalisiert und auf einem PC gespeichert. Da auf diesem Foliensystem drei Spannungswandler gemessen werden sollen, wird ein Kanalschalter vor dem Messgerät benötigt. Am IMS vorhanden ist eine 16-kanalige Multiplexer-Platine aus einer vorhergehenden Studienarbeit [21]. Über einen Randsteckverbinder können Adapterplatinen mit dem Multiplexer verbunden werden.



**Abbildung 2.18:** Layout der Adapterplatine zwischen Multiplexer und vier Patches

Da eine passende Platine mit vier 10-poligen FFC-Steckern nicht vorhanden ist, muss eine neue Platine entwickelt werden. In [Abbildung 2.18](#) ist das Layout der entworfenen Adapterplatine zu sehen.

Mit dieser Platine lassen sich je Messung vier Sensor-Systeme gleichzeitig mit nur einem Spannungsmessgerät automatisiert vermessen.

## 2.7 Zusammenfassung

Ziel dieser Arbeit ist es, ein NFC-Tag in Folie mit integrierten Temperatur- und Dehnungssensoren zu realisieren. Als Funktionsbausteine dienen der Mikrocontroller EM6819 und der NFC-Chip EM NF4. Sie sollen sowohl über den konventionellen Face-Up als auch über den neuartigen Face-Down Prozess mit Nanodrähten eingebettet werden. Nach der Erarbeitung eines Aufbaukonzepts wurden die an das System gestellten Anforderungen gesammelt. Getrennt in die beiden Varianten des NFC-Tags Face-Up / Face-Down und ein Sensor-System sollen die Patches hergestellt und anschließend zusammengefügt werden. Für parallellaufende Entwicklungsarbeiten wurde ein auf einer Platine basierender Prototyp aufgebaut und erprobt. Der für die Prozessierung notwendige Schichtaufbau der drei

Chargen wurde anschließend definiert und die zu verwendenden Werkstoffe ausgewählt. Auf Basis des Schichtaufbaus wurde ein Layout für jedes Foliensystem erarbeitet. Da für die Einbettung der Chips mit Nanodrähten eine Vergoldung der Kontaktpads notwendig ist, wurde ein Verfahren entwickelt, mit dem die Kontakte bereits einzelner Chips mit Gold beschichtet werden können. Zuletzt wurde für die Erprobung der Sensorfolie eine entsprechende Adapterplatine entworfen. Vier Foliensysteme lassen sich über einen vorhandenen Multiplexer gleichzeitig mit einem Spannungsmessgerät verbinden und auslesen.

## 3 Realisierung

In diesem Kapitel werden mithilfe der im Konzept festgelegten Abfolge der Schichten und dem zugehörigen Layout die jeweiligen Foliensysteme im Reinraum aufgebaut. Die zur Umsetzung der Systeme benötigten wichtigsten Prozessschritte werden in Form einer Tabelle aufgelistet. Wichtige Teilprozesse werden zusätzlich erweitert erklärt.

### 3.1 System Face-Up

In diesem Abschnitt geht es um die Realisierung des NFC-Tags. Die beiden Silizium-Chips EM6819 und EM NF4 sollen über den Face-Up Prozess eingebettet werden. Alle nötigen Zusatzbauteile, wie Antenne, Tuning-Kondensator und der Pufferkondensator der Versorgungsspannung  $C_{sup}$  sollen ebenfalls in die Folie integriert werden. Insgesamt soll dadurch ein vollständig flexibles Foliensystem hergestellt werden.

Zuerst wird der nötige Prozessfluss des Foliensystems vorgestellt. Wichtige Schritte sowie der jeweils verwendete Fotoresist für alle Lithografie-Ebenen werden in Form einer Tabelle aufgelistet. In den weiteren Abschnitten werden kritische Prozessschritte detaillierter vorgestellt und die jeweilige Vorgehensweise erörtert.

#### 3.1.1 Prozessfluss

Aus dem in Kapitel 2 festgelegten Schichtaufbau für das Face-Up System, wird der für die Prozessierung benötigte Prozessfluss abgeleitet. Alle Schichten werden

nacheinander additiv aufgebaut. Für die Umsetzung des Layouts werden Strukturierungsschritte benötigt. Je nach Art der Strukturierung wurde ein passender Fotolack ausgewählt und belichtet. Alle folgenden Ätz- oder Lift-off-Prozessschritte werden ebenfalls aufgelistet.

**Tabelle 3.1:** Ablauf der Prozessierung der Face-Up Wafer

Schritt Nr.	Beschreibung	Details
1	Start der Charge	3x Si-Wafer
2	Polyimid Coating 1	PI2611, 5 $\mu\text{m}$ , 3000 rpm
3	Polyimid Coating 2	PI2611, 5 $\mu\text{m}$ , 3000 rpm
4	Polyimid Coating 3	PI2611, 5 $\mu\text{m}$ , 3000 rpm
5	Polyimid Coating 4	PI2611, 5 $\mu\text{m}$ , 3000 rpm
6	BCB Etch Stop	BCB 4024-40 3 – 4 $\mu\text{m}$ , 5000 rpm
7	AlSi Sputtering	AlSi, 1 $\mu\text{m}$ , mit Rückspattern
8	Litho Metall 1	3, 5 $\mu\text{m}$ TDMR-AR125 ,VPG Laserbelichtung
9	Ätzen Metall 1	AlSi Trockenätzen
10	Litho Cavity	18 $\mu\text{m}$ Az-12XT ,VPG Laserbelichtung
11	Kavität Ätzen	8 $\mu\text{m}$ Trockenätzen
12	BCB Glue Coating	BCB 3022-35 1 $\mu\text{m}$ , 5000 rpm
13	Chip Platzierung	Fineplacer mit Marken
14	Polyimid Kapselung 1	PI2611, 5 $\mu\text{m}$ , 3000 rpm
15	Polyimid Kapselung 2	PI2611, 5 $\mu\text{m}$ , 3000 rpm
16	Polyimid Kapselung 3	PI2611, 5 $\mu\text{m}$ , 3000 rpm
17	BCB Etch Stop	BCB 4024-40 3 – 4 $\mu\text{m}$ , 5000 rpm
18	Litho Via	40 $\mu\text{m}$ Az-IPS6090 ,VPG Laserbelichtung
29	Vias Ätzen	18 $\mu\text{m}$ Trockenätzen
20	BCB Ring	BCB 4024-40 3 – 4 $\mu\text{m}$ , 5000 rpm am Rand
21	AlSi Sputtering	AlSi, 1 $\mu\text{m}$ , mit Rückspattern
22	Litho Metall 2	3, 5 $\mu\text{m}$ TDMR-AR125 ,VPG Laserbelichtung
23	Ätzen Metall 2	AlSi nasschemisches Ätzen
24	Polyimid Deckelung 1	PI2611, 5 $\mu\text{m}$ , 3000 rpm
25	Litho PadOpen	10 $\mu\text{m}$ Az-12XT ,VPG Laserbelichtung
26	Pads Ätzen	5 $\mu\text{m}$ Trockenätzen

In Tabelle 3.1 ist der Prozessfluss des Face-Up Systems dargestellt. Zwischen den Schritten wurden mithilfe eines Mikroskops Inspektionen durchgeführt und



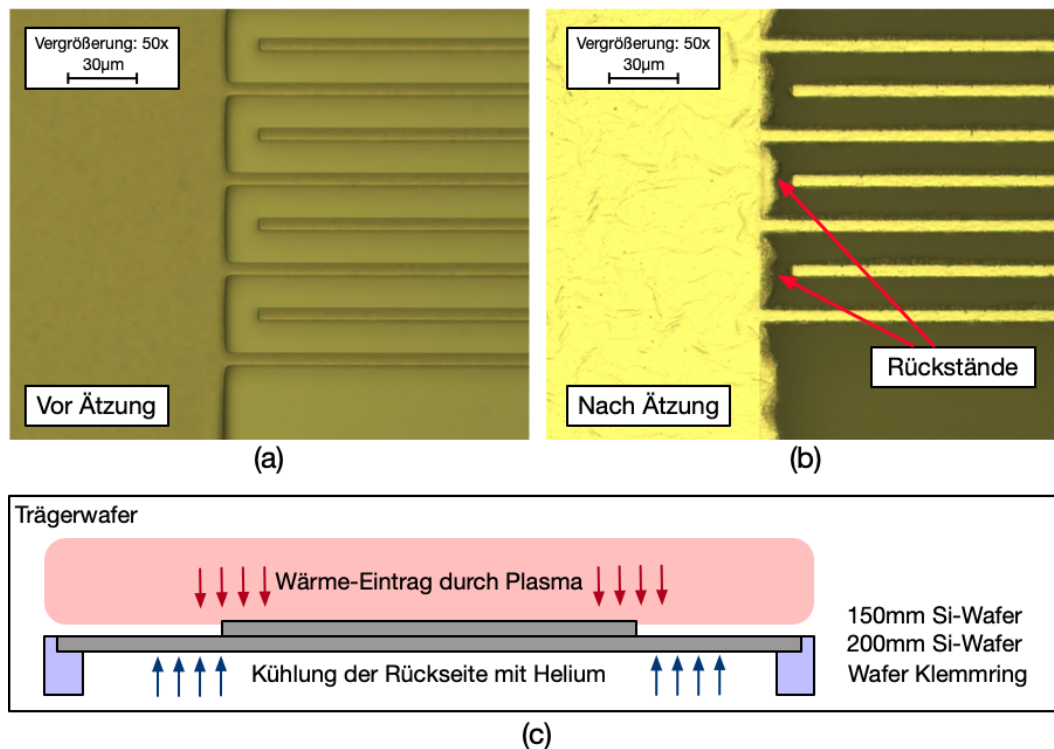
der Prozess durch Bilder dokumentiert. Zusätzliche Eigenschaften wurden durch entsprechende Messgeräte erfasst. So wurde z.B. die Schichtdicke nach jeder Beschichtung per Weißlichtinterferometrie gemessen.

Nach der Prozessierung wurden die fertiggestellten Foliensysteme inspiziert und elektrische Kontaktmessungen der Vias durchgeführt. Mit einem Laserschneider wurden die fertigen Patches an den Trennlinien entlang vereinzelt. Nach dem Nachfahren der Trennlinien zum Entfernen der Schnittreste mit einer Nadel wurden die Systeme von den Wafern abgelöst. Eine Überprüfung der Funktion des NFC-Tags ist auf dem Wafer nicht möglich, da das leitfähige Silizium-Substrat die induktive Kopplung verschlechtert und auch die Resonanzfrequenz beeinflusst.

### 3.1.2 Ätzen Metall 1

Da bei mehreren Lithografie-Ebenen ein genaues Overlay der Belichtungen erfolgen muss, werden in der ersten Strukturierung Marken integriert. Anhand dieser Marken kann jede weitere Litho-Ebene ausgerichtet werden. Besonders gut sichtbar sind die Marken vor allem, wenn sie in das Layout einer Metalllage integriert sind. Wie in Tabelle 3.1 in Schritt acht zu sehen ist, wird als erstes der Fotolack der Lackmaske für die Metall-Ätzung von Metall 1 belichtet. Nach dem automatisierten Aufschleudern des Positivlacks TDMR-AR125 mit  $3,5\ \mu\text{m}$  Dicke, wurde der Lack durch den Laserschreiber HIMT VPG-400 belichtet. Nach einem Post-Exposure-Bake erfolgte die Entwicklung mit dem alkalischen Entwickler NMD-W. Nach einer folgenden Inspektion wurde ein Hardbake ( $110\ \text{°C}/90\ \text{s}$ ) durchgeführt. In Abbildung 3.1 (a) ist ein Ausschnitt der so hergestellten Lackmaske zu sehen. Erkennbar ist eine gute Qualität der Kanten und Ecken. Lackreste sind nach dem Entwickeln ebenfalls nicht erkennbar.

Durch die Lackmaske sollte anschließend die Ätzung der  $1\ \mu\text{m}$  dicken AlSi Metalllage erfolgen. Da es sich bei den Leiterbahnen mit  $5\ \mu\text{m}$  minimaler Breite um sehr kleine Strukturen handelt, soll die Strukturierung mittels Trockenätzen durchgeführt werden. Das anisotrope Verhalten des Plasmaätzprozesses verspricht eine gute Qualität der Kanten, da ein Unterätzen der Lackmaske nicht möglich ist.



**Abbildung 3.1:** (a) Lackmaske nach der Entwicklung, (b) Strukturiertes Metall nach Ätzung, (c) Schematischer Aufbau des Trägerwafers

Der verwendete Ätzer Oxford-Instruments PlasmaLab 100 ist in der Lage sowohl Wafer mit einem Durchmesser von 200 mm als auch 150 mm zu prozessieren. Da für jeden Wafertyp ein Umbau des Trägerrings und des Handlinggreifers nötig wäre, wurde mit dem Einsatz eines 200 mm Trägerwafers experimentiert. Auf einem zweiten Wafer liegend, sollte der 150 mm ohne Umbau des Klemmrings dennoch geätzt werden. In Abbildung 3.1 (c) ist der schematische Aufbau des Trägersystems zu sehen.

Nach der drei Minuten dauernden Ätzung wurde das Ätzbild mit einem Lichtmikroskop untersucht. In Abbildung 3.1 (b) ist derselbe Ausschnitt, wie in Abbildung 3.1 (a) abgebildet. An den Kanten der Leiterbahnen wurde dabei ein unregelmäßiger Kantenverlauf festgestellt. Zwischen den Leiterbahnen sind ebenso Metallreste in Form von kleinen inselartigen Rückständen erkennbar. Ebenfalls untypisch ist die Morphologie der Oberfläche der Leiterbahnen.

Mit einer Gegenprobe lässt sich die Ursache auf die Verwendung eines Trägerwafers zurückführen, da auf dem Testwafer sonst keine Veränderung des Ätzbildes

erkennbar waren. Neben dem unregelmäßigen Kantenverlauf konnte zusätzlich bei einer Unterbrechung eines Ätzvorgangs ein Verlaufen der Lackmaske beobachtet werden. Vermutet wird eine Erhitzung des Wafers durch das Plasma, da die rückseitige Helium-Kühlung die Wärme nicht mehr ausreichend durch den Trägerwafer abführen kann. Durch eine Erwärmung kann das Verlaufen des Fotolacks begünstigt werden. Zusätzlich konnte eine Verbesserung des Ätzbildes beobachtet werden, wenn ein Abkühlen des Wafers durch mehrere Unterbrechungen des Ätzvorgangs ermöglicht wurde.

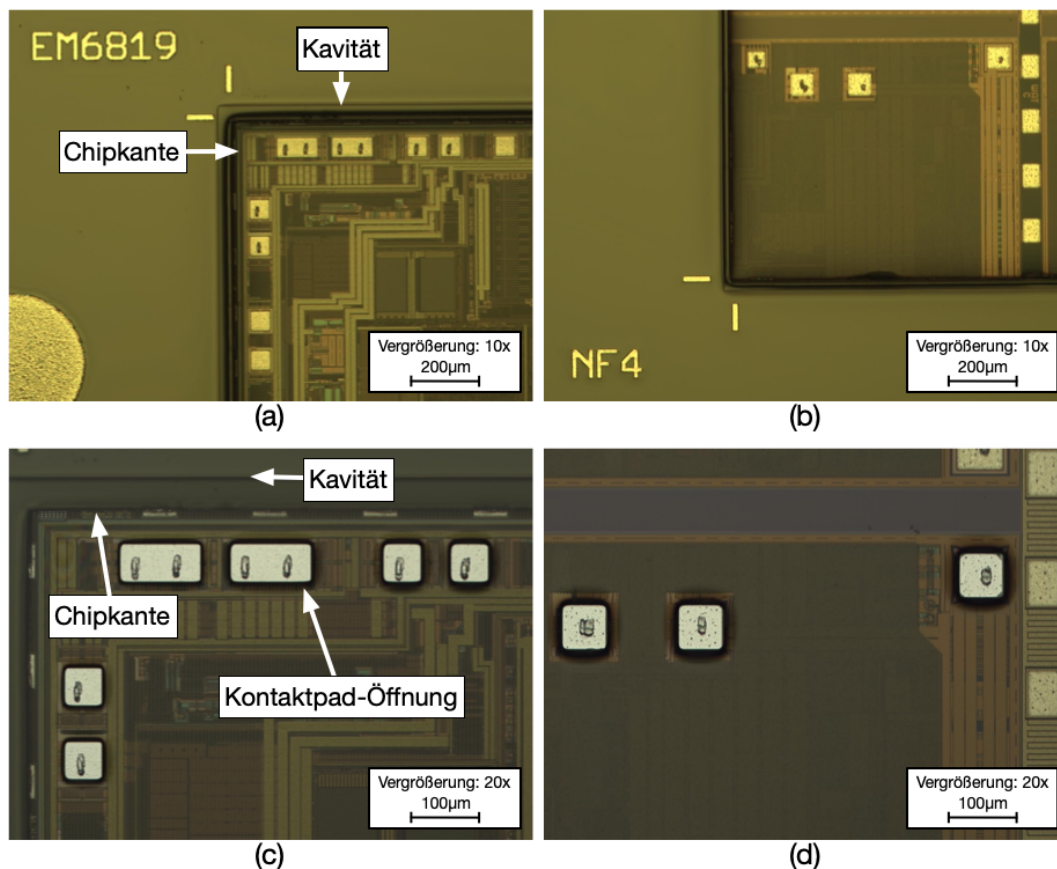
Nach dem nasschemischen Ablacken der Lackmaske wurde mit einem Nadelprober eine Widerstandsmessung zwischen den Polplatten der Kondensatoren durchgeführt. Bei dem größeren Kondensator  $C_{Sup}$  konnte ein Widerstand von  $30\text{ k}\Omega$  gemessen werden. Dies lässt sich auf ein Zustandekommen von Leckströmen durch verbleibende Metallreste im Dielektrikum zurückführen. Aufgrund des bei einer Versorgungsspannung von ca.  $3\text{ V}$  nur sehr geringen zusätzlichen Stromverbrauchs wurde auf ein Rework der Metallage 1 verzichtet.

### 3.1.3 Chip Platzierung

Ein sehr wichtiger Schritt bei der Prozessierung eines Foliensystems mit dem Face-Up Prozess ist die Platzierung der Chips. Vorab wurde bereits die erste Metallage strukturiert und entsprechende Kavitäten mit einer Tiefe von  $8\text{ }\mu\text{m}$  für jeden Chip vorbereitet. Insgesamt werden durch die Verwendung des EM6819 und des NF4, 12 Chips pro Wafer platziert. Ziel der Platzierung ist es, die Chips so genau wie möglich in eine möglichst kleine Kavität einzubetten. Je kleiner der Spalt um den Chip nach der Platzierung ist, desto besser kann die Topografie über die folgenden Polyimid Verkapselungen ausgeglichen werden. Zusätzlich ersetzt eine genaue Position der Chips die Notwendigkeit der Verwendung eines Adaptive-Layouts [22]. Eine Messung der Chippositionen mit der Anpassung des Layouts an die reellen Positionen entfällt bei einer genauen Platzierung. Zusätzlich wird auch die Verwendung einer Belichtungsmaske ermöglicht, da die Position der Chips dadurch auf allen drei Wafern gleich ist. Diese Maske kann vorab produziert werden, da eine nachträgliche Änderung nicht mehr notwendig ist.

In dieser Arbeit wurden deshalb die beiden Chip-Arten über den Fineplacer femto2 platziert. Nach dem Aufschleudern des Polymers BCB 3022.35 welches als

Kleber verwendet wird, wurde das enthaltene Lösemittel über eine Hotplate teilweise verdampft. Anschließend konnte der Wafer in den Fineplacer transferiert und dort per Vakuum auf der beweglichen Stage fixiert werden. Die in einem Wafflepack bereitliegenden Chips wurden anhand der Chipkante erkannt und auf einen Übergabeplatz transferiert. Da die Ausrichtung anhand der sägerauen Kante nicht exakt genug wäre, wird anhand der Pads eine erneute Ausrichtung über die Kamera durchgeführt. Über den Platzierungsarm mit Vakuumgreifer schließt sich das präzise Abheben des Chips an. Die Position des Chips auf dem Wafer wird über die Erkennung der runden Erkennungsmarken neben den Kavitäten ermöglicht. Sobald die Position bestimmt und durch den Bediener bestätigt wurde, erfolgt die Einbettung des Chips mit einem Nachdruck von 200 g. Der Greifer des Fineplacers wurde nicht beheizt.

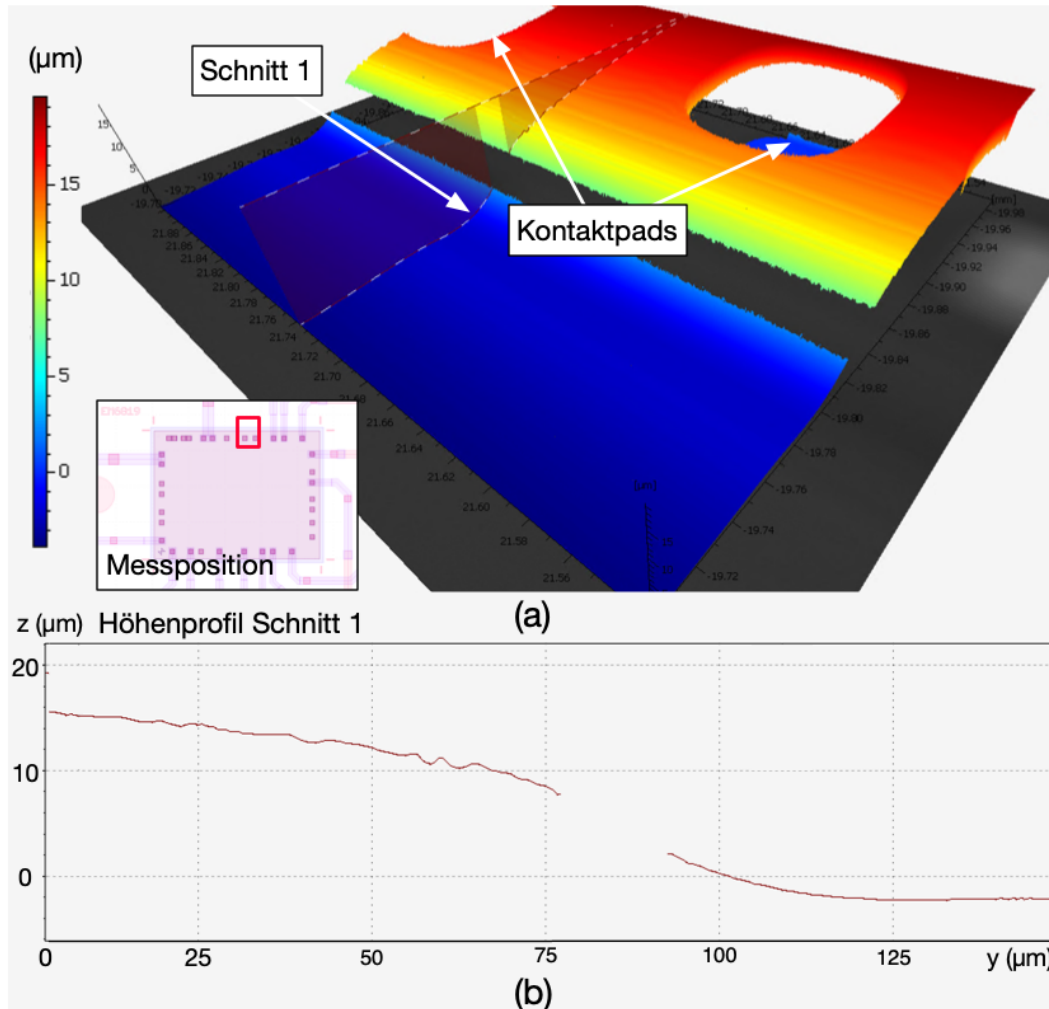


**Abbildung 3.2:** Mikroskopaufnahmen der Genauigkeit der Chip-Platzierung vor (a)/(b) und nach dem Pad-open Ätzschritt (c)/(d)

Nach der Einbettung erfolgt die Ausheizung des BCB-Klebers bei 130 °C im Vakuumofen. In Ausschnitt (a/b) der Abbildung 3.2 ist die erzielte Genauigkeit relativ zur Kante der Kavität zu sehen. Mit einem Spalt von ca. 40  $\mu\text{m}$  ist der Chip nur minimal kleiner als die Kavität. In Abbildung 3.2 (c/d) ist die Overlay-Genauigkeit nach der Via-Ätzung zu erkennen. Die schwarze ringförmige sichtbare Kante der Via-Öffnungen passt dabei genau auf die Kante des Kontaktpads, ohne die Verwendung des adaptiven Layouts.

Insgesamt wurde durch die Einführung eines automatischen Handlingtools in den Face-Up Prozess eine hohe Wiederholungsgenauigkeit bei gleichzeitig sehr kleinem Spalt zwischen Chip und Kante der Kavität möglich.

### 3.1.4 Topografie Kapselung



**Abbildung 3.3:** Profilometer Aufnahme an der Chipkante des EM6819

Nach der Einbettung wurden die Chips mit je drei Lagen  $5\ \mu\text{m}$  PI2611 und einer Lage BCB 4024-40 mit  $3 - 4\ \mu\text{m}$  Dicke gekapselt. Anschließend erfolgt die Ätzung der Vias zu den Kontaktpads mit Hilfe des  $40\ \mu\text{m}$  dicken Az-IPS6090 Positivlacks und einem Plasmaätzschritt durch die ca.  $20\ \mu\text{m}$  dicke Kapselung.

Das Ziel der Reduzierung des Ringspalts der Kavität um den Chip herum war eine möglichst gleichmäßige und auch geringe Topografie. Die erreichte Oberfläche wurde zur Evaluierung mit einem optischen Profilometer an mehreren Stellen vermessen.

In Abbildung 3.3 (a) ist die Messaufnahme an der oberen Kante des Mikrocontrollers EM6819 zu sehen. Dreidimensional dargestellt ist die Topografie der Chipkante. Erkennbar sind zusätzlich zwei geöffnete Kontaktpads. In Abbildung 3.3 (b) ist ein zweidimensionaler Schnitt durch den Höhenverlauf angegeben. Gut erkennbar ist, dass keine zurückbleibende Vertiefung entlang der Chipkante verläuft. Ebenso sichtbar sind die Vertiefungen der Kontaktöffnungen. Dadurch hat sich bestätigt, dass die Verwendung des Fineplacers zu einer Optimierung der Topografie beiträgt und die Kavität nach einer Kapselung nicht mehr erkennbar ist.

### 3.1.5 Litho Metall 2

Bei der Belichtung der Lackmaske der Metallisierung zur Kontaktierung der Chip-Pads im Face-Up Prozess traten gehäuft Probleme an der Chipkante auf. Es besteht ein hohes Risiko, dass durch den Laserschreiber ungenügend belichteter Positivlack an der Kante der Chips verbleibt. Das unterliegende Metall kann dadurch nicht weggeätzt werden und ein Kurzschluss zwischen Leiterbahnen, die über die Kante verlaufen, entsteht.

Aus diesem Grund wurde eine Belichtung über einen Kontaktbelichter mit einer Fotomaske eingeplant. Nach der Herstellung der Fotomaske mit den am IMS verfügbaren Standardprozessen für die Lito-Ebene Metall 2 wurden die Wafer mit einer  $3,5 \mu\text{m}$  dicken Schicht des Positivlacks TDMR-AR125 belackt. Anschließend wurde der Fotolack durch die Maske belichtet. Es wurden mehrere Versuche mit unterschiedlichen Belichtungszeiten und Abstände des Wafers zur Maske durchgeführt.

**Tabelle 3.2:** Untersuchte Belichtungszeiten und Abstände der Maske zum Wafer

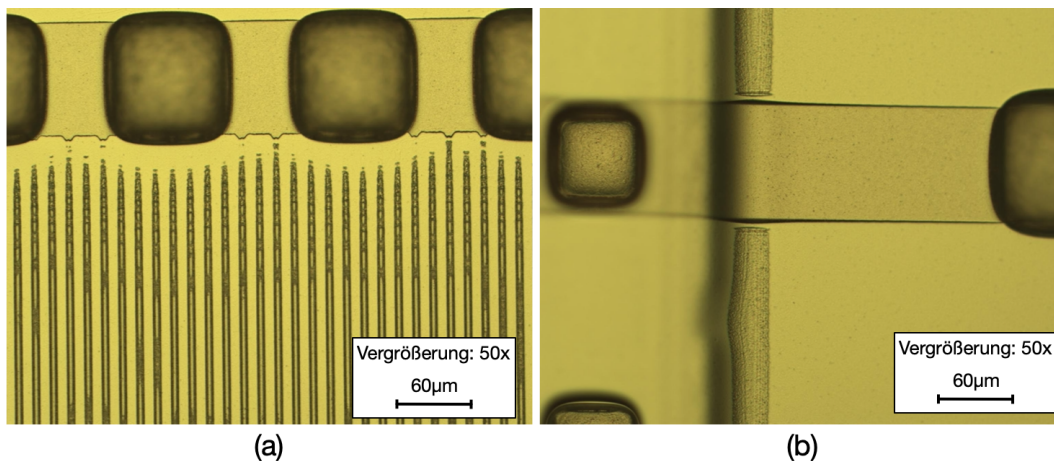
Versuch Nr.	Belichtungszeit	Abstand der Maske
1	18 s	$15 \mu\text{m}$
2	8 s	$15 \mu\text{m}$
3	6,5 s	$11 \mu\text{m}$

Dabei zeigten sich die beiden folgenden Probleme:



- Lange Belichtungszeit (Versuch 1): kleine Strukturen überbelichtet und dadurch nicht vorhanden, Chipkante in Ordnung
- Kurze Belichtungszeit (Versuch 2/3): kleine Strukturen in Ordnung, dafür Lackreste an der Chipkante

In Abbildung 3.4 ist ein Beispiel für jeden Fehlerfall zu sehen:



**Abbildung 3.4:** (a) Fotolack nach Belichtung (18 s/15  $\mu\text{m}$ ): Fehlende kleine Strukturen, (b) Fotolack nach Belichtung (8 s/15  $\mu\text{m}$ ): Lackreste

Selbst bei mehreren Versuchen konnte keine Einstellung gefunden werden, die beide Kriterien gleichermaßen erfüllen würde. Entweder konnten kleine Strukturen nicht aufgelöst werden oder es verblieben Lackreste an der Chipkante. Ausgelöst werden die Probleme jedoch auch durch das Layout. So ist in Abbildung 3.4 (a) zu erkennen, dass die Qualität der Leiterbahnen abnimmt, je geringer die Distanz zur nächsten Via-Ätzung wird. Eine Reduktion des Abstands zwischen Wafer und Maske würde dieses Spannungsfeld verbessern, kann aber nicht getestet werden, da das Risiko einer Kontamination der Maske mit Fotolack durch eine Berührung besteht.

Eine weitere Erprobung der Maske mit dem 8  $\mu\text{m}$  dicken chemisch verstärkten Fotolack Az-12XT wurde in Erwägung gezogen, jedoch aus zeitlichen Gründen nicht weiter verfolgt.

Um eine Belichtung dennoch zu ermöglichen, wurde das Layout der Metalllage 2 verändert. Die Distanz zwischen den kleinen Strukturen und der Via-Öffnungen



wurde vergrößert. Zusätzlich wurde eine zweite Zusatzbelichtungsebene um die Chipkante herum eingefügt. Mit einer Belichtung des Lacks durch den Laserschreiber kann so nach der ersten Belichtung eine weitere Belichtung in der Nähe der Chips durchgeführt werden.

Mit der Belichtung durch den Laserschreiber mit Erst- und Zusatzbelichtung konnten sowohl kleine Strukturen als auch eine saubere Chipkante erzielt werden.

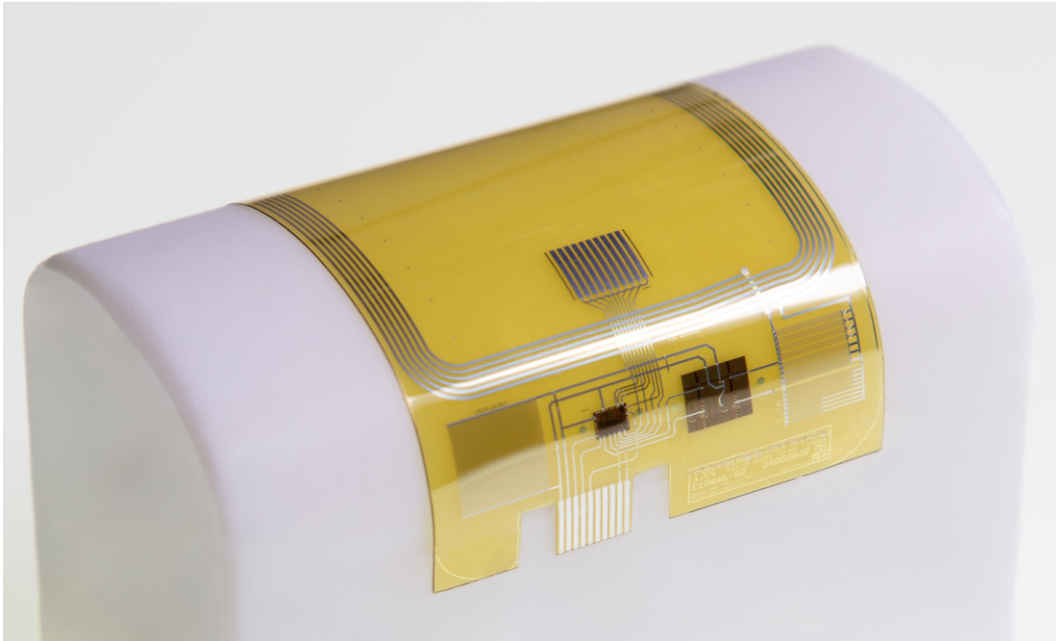
### 3.1.6 Ätzen Metall 2

Durch einen Ausfall des vorgesehenen Plasmaätzers für die Ätzung der Metalllage zwei, konnte eine Trockenätzung der AlSi-Schicht nicht durchgeführt werden. Als Ersatzprozess wurde eine nasschemische Ätzung mit einer Phosphorsäure-Ätzmischung und einer Ätzzeit von 1m:40s durchgeführt. Da nach der Ätzung Reste der nicht entfernten Silizium-Legierungsanteile erkennbar waren, wurde eine Nachbehandlung mit einem Argon-Plasma durchgeführt. Alle Rückstände konnten dadurch entfernt werden.

Das isotrope Verhalten der nasschemischen Ätzung verringerte jedoch die erzielte Breite aller Strukturen. Besonders in den Kondensatoren wurde die Breite der Leiterbahnen von geplanten  $5\ \mu\text{m}$  auf  $2,5\ \mu\text{m}$  reduziert. Da keine Unterbrechungen erkannt wurden, ist die Funktionsfähigkeit dennoch gegeben.

### 3.1.7 Zusammenfassung

Aufbauend auf dem in Kapitel 2 entworfenen Schichtaufbau und Layout wurde ein NFC-Foliensystem realisiert. Insgesamt wurden drei Wafer prozessiert und 18 NF4 und EM6819 per Face-Up-Prozess eingebettet.



**Abbildung 3.5:** Flexibler NFC-Tag mit per Face-Up Prozess eingebetteten Chips

In [Abbildung 3.5](#) ist der NFC-Tag mit den eingebetteten Chips EM6819 und NF4 zu sehen. Durch die Integration der dünnen Chips und aller Zusatzbauteile ist das Foliensystem vollständig flexibel. Über ein Kontaktfeld können die im folgenden Abschnitt hergestellten Sensoren verbunden werden.

## 3.2 Sensor-System

Aufbauend auf dem in [Kapitel 2](#) entwickelten Schichtaufbau und Layout soll das Sensor-System im Reinraum prozessiert werden. Zuerst wird die dafür notwendige Abfolge von Prozessschritten in Form einer Tabelle präsentiert, danach auf die Besonderheiten eingegangen. Anschließend erfolgt die Vorstellung des hergestellten Sensor-Systems, bestehend aus einem Temperatursensor und zwei Dehnungssensoren.

### 3.2.1 Prozessfluss

In Tabelle 3.3 ist der Ablauf der Prozessierung der Sensor-Systeme aufgelistet. Ausgehend von drei 150 mm Silizium-Wafern wird mit einer Beschichtung von 5 Lagen Polyimid eine Trägerfolie von insgesamt 30  $\mu\text{m}$  Dicke hergestellt. Die wichtigsten Prozessschichten bestehen aus den Lift-off Prozessen mit dem Aufdampfen der Metalllagen.

**Tabelle 3.3:** Ablauf der Prozessierung der Sensor-System Wafer

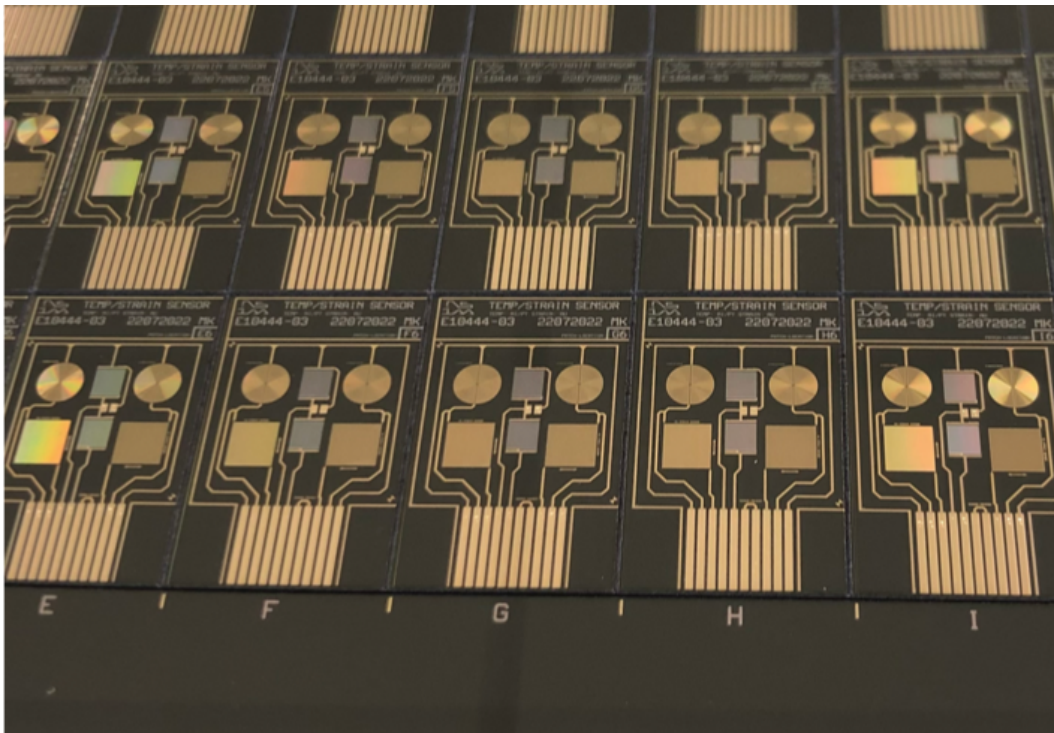
Schritt Nr.	Beschreibung	Details
1	Start der Charge	3x Si-Wafer
2	Polyimid Coating 1	PI2611, 5 $\mu\text{m}$ , 3000 rpm
3	Polyimid Coating 2	PI2611, 5 $\mu\text{m}$ , 3000 rpm
4	Polyimid Coating 3	PI2611, 5 $\mu\text{m}$ , 3000 rpm
5	Polyimid Coating 4	PI2611, 5 $\mu\text{m}$ , 3000 rpm
6	Polyimid Coating 5	PI2611, 5 $\mu\text{m}$ , 3000 rpm
7	Polyimid Coating 6	PI2611, 5 $\mu\text{m}$ , 3000 rpm
8	Litho Nickel	3,5 $\mu\text{m}$ Az-nLOF 2020 ,VPG Laserbelichtung
9	Ni Aufdampfen	Ti/Ni 20 nm / 80 nm mit Rückspattern
10	Ni Liftoff	Nickel Liftoff in NMP
11	Litho Platin	3,5 $\mu\text{m}$ Az-nLOF 2020 ,VPG Laserbelichtung
12	Pt Aufdampfen	Ti/Pt 20 nm / 80 nm mit Rückspattern
13	Pt Liftoff	Platin Liftoff in NMP
14	Litho Gold	3,5 $\mu\text{m}$ Az-nLOF 2020 ,VPG Laserbelichtung
15	Au Aufdampfen	Ti/Au 20 nm / 120 nm mit Rückspattern
16	Au Liftoff	Gold Liftoff in NMP
17	Polyimid Deckelung	PI2611, 5 $\mu\text{m}$ , 3000 rpm
18	Litho PadOpen	10 $\mu\text{m}$ Az-12XT ,VPG Laserbelichtung
19	Pads Ätzen	5 $\mu\text{m}$ Trockenätzen

Beginnend mit Nickel und Platin wird zuerst der Temperatursensor aufgebaut. Mit einem Nadelprober wurde anschließend der erreichte Widerstand der beiden Messwiderstände gemessen. Anhand dieser Messwerte wurde das Layout der

Gold-Metallage angepasst, um ein definiertes Verhältnis der Beträge des Widerstands der Ni- und Pt-Widerstände zu erhalten. Durch das Aufdampfen der Gold-Lage wurde das System finalisiert und alle Widerstände mit dem Steckverbinder verdrahtet.

### 3.2.2 Zusammenfassung

Mit Hilfe des aus den Anforderungen erarbeiteten Schichtaufbaus und Layouts wurden drei Wafer prozessiert. Es wurden dabei 186 Sensor-Systeme hergestellt.



**Abbildung 3.6:** Flexibles Sensor-System bestehend aus einem Temperatursensor und zwei Dehnungssensoren

In [Abbildung 3.5](#) ist der vollständig prozessierte Wafer mit den Sensor-Systemen zu sehen. Ein Temperatursensor, bestehend aus einem Nickel- und einem Platin-Widerstand, sowie zwei Dehnungssensoren aus Gold wurden in das Sensor-System integriert. Nach einer separierten Charakterisierung der Patches können die Sensoren mit den NFC-Tags verbunden werden.

### 3.3 Pad Vergoldung

Für die Montage der Chips auf einem Foliensubstrat mittels Nanodrähten ist es notwendig, dass die Oberfläche der Kontaktpads vergoldet ist. Da zusätzlich nur bereits gesägte und rückgedünnte Chips des EM6819 und NF4 vorhanden waren, wurde in Kapitel 2 ein Verfahren entwickelt, um ultradünne Chips beschädigungsfrei zu vergolden. Zuerst werden die für den Prozessfluss wichtigsten Teilprozesse in Form einer Tabelle angegeben. Anschließend wird auf die beiden wichtigsten Teilprozesse, dem Vergolden der Pads durch Lift-off und der Ablösung der Chips durch Rückseitenätzung eingegangen.

#### 3.3.1 Prozessfluss

**Tabelle 3.4:** Ablauf der Prozessierung der Pad Vergoldung

Schritt Nr.	Beschreibung	Details
1	Start der Charge	3x Si-Wafer
2	Polyimid Coating 1	PI2611, 5 $\mu\text{m}$ , 3000 rpm
3	Polyimid Coating 2	PI2611, 5 $\mu\text{m}$ , 3000 rpm
4	Litho Cavity	3, 5 $\mu\text{m}$ TDMR-AR125 ,VPG Laserbelichtung
5	Kavität Ätzen	3, 5 $\mu\text{m}$ Trockenätzen
6	BCB Glue Coating	BCB 3022-35 1 $\mu\text{m}$ , 5000 rpm
7	Chip Platzierung	Manuell mit Pick-and-Place Tool
8	Litho Gold	9 $\mu\text{m}$ Az-nLOF 2070 ,VPG Laserbelichtung
9	Au Aufdampfen	Ti/Au 20 nm / 300 nm mit Rückspattern
10	Au Liftoff	Gold Liftoff in NMP
11	Patch auslasern	Kreisrund Folie auslasern
12	Folie ablösen	Manuell von Wafer ablösen
13	Folie aufkleben	auf Wafer mit Kapton aufkleben
14	Rückseitenätzung	ca. 8 $\mu\text{m}$ Trockenätzen
15	Reinigung Chips	Manuelle Reinigung im Becherglas

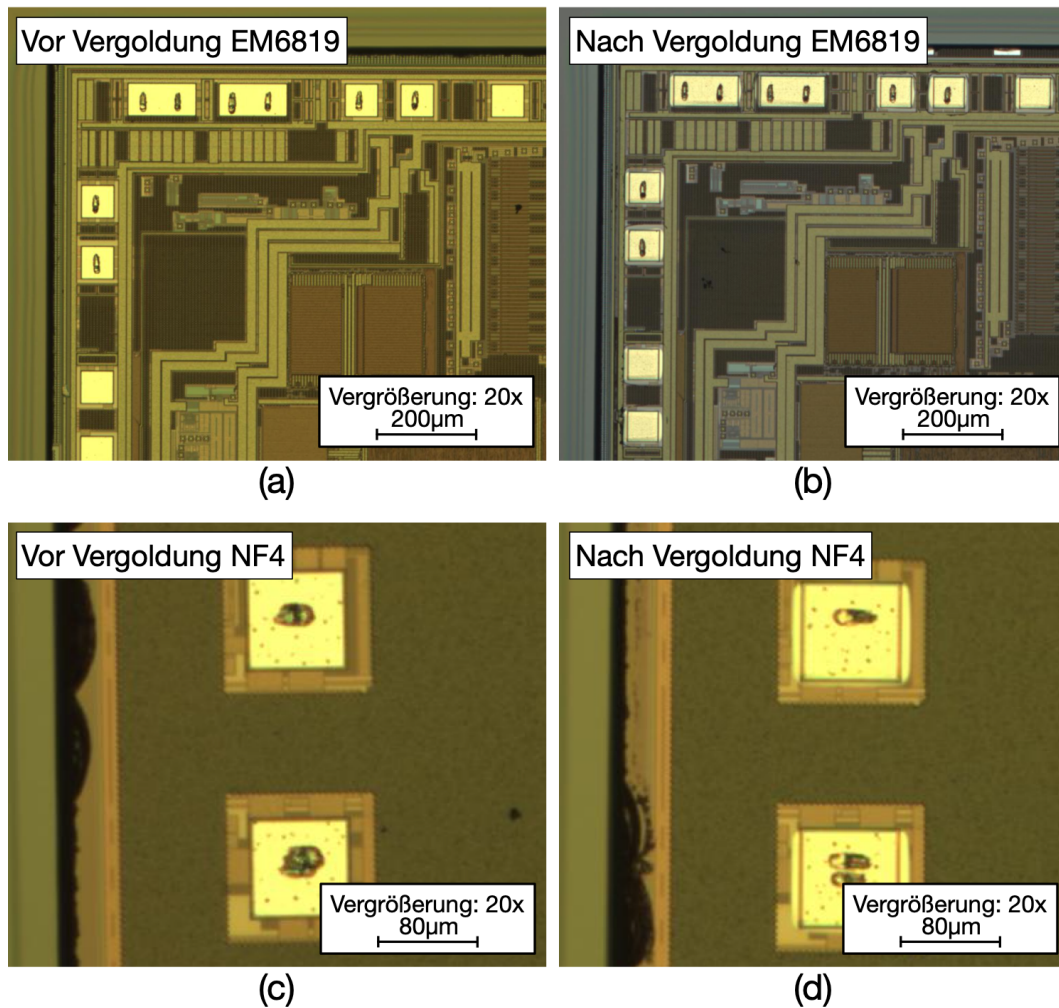
Ausgeführt wurde der in Tabelle 3.4 aufgelistete Prozessfluss auf insgesamt drei Wafern. Pro Wafer bestand die durch das Layout vorgegebene Kapazität von maximal sechs EM6819 Mikrocontrollern sowie maximal acht NF4-Chips. Da

diese Methode vorher noch nicht erprobt wurde, fand die Prozessierung der Wafer bei kritischen Teilprozessen streng sequentiell statt. Auf dem ersten Wafer wurde zusätzlich die Anzahl beider Chips halbiert, um ein Risiko der Beschädigung von nur begrenzt verfügbaren Chips zu verringern.

### 3.3.2 Gold Lift-off

Ein wichtiger Teilprozess ist die Vergoldung der Kontaktpads durch Gold Lift-off. Wichtig ist hierbei die Abscheidung von Gold ausschließlich auf den Kontaktpads. Nach dem Einbetten wurde zuerst die Position der Chips mit dem Laserschreiber HIMT VPG-400 gemessen und das vorab gezeichnete Layout durch das in [22] vorgestellte Verfahren des adaptiven Layouts modifiziert. Um anschließend das Risiko einer nicht durch Lack bedeckten Stelle zu vermeiden, wurde ein Negativlack Az-nLOF 2070 mit  $9\ \mu\text{m}$  Dicke ausgewählt. Dies wird besonders aufgrund der großen Topografie entlang der Chipkanten notwendig.



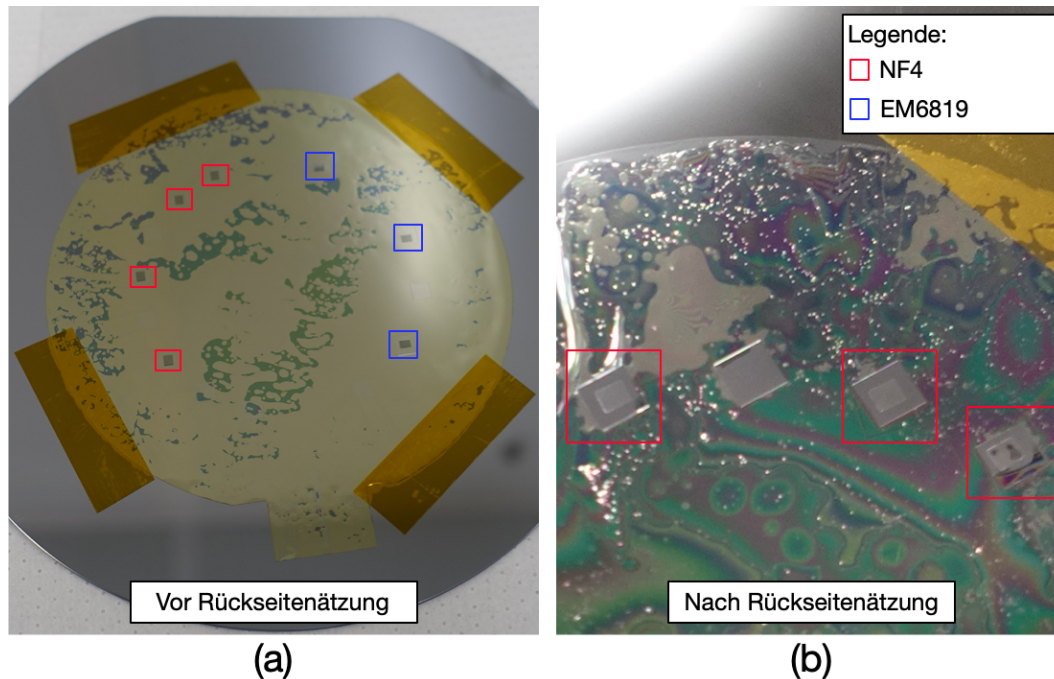


**Abbildung 3.7:** Mikroskopaufnahmen der Kontaktpads vor und nach dem Gold-Lift-off

In Abbildung 3.7 ist eine Mikroskopaufnahme der vergoldeten Kontakte zu sehen. Gut erkennbar ist der Überstand der Vergoldung über die Pads hinaus. Ein Kurzschluss wird dadurch nicht ausgelöst, da die Oberfläche des Chips passiviert ist.

Insgesamt war die erreichte Qualität des Au-Lift-offs zufriedenstellend, nur bei zwei NF4-Chips wurde ein Goldrückstand auf der Chipkante gefunden.

### 3.3.3 Rückseiten Ätzung



**Abbildung 3.8:** Aufnahmen des abgelösten und aufgeklebten Foliensystems mit vergoldeten Chips

In Abbildung 3.8 ist das hergestellte Foliensystem vor und nach der Rückseitenätzung zu sehen. In (a) ist die Befestigung auf einem neuen Wafer mittels Kapton-Klebestreifen zu erkennen. Anschließend wurde die Rückseite durch ein Sauerstoff /  $CF_4$  (4:1) Plasma in maximal 10 Minuten dauernden Etappen geätzt. Durch Weißlichtinterferometrie konnte die restliche Dicke der Folie in den Unterbrechungen gemessen werden. Ein wichtiger Effekt ist dabei die Haftung der Chips gegenüber dem Wafer durch statische Aufladung. So wurden auch bereits gelöste Chips nicht durch die Vakuumpumpe des Plasmaätzers abgesaugt. Durch die Öffnung der Chip-Rückseiten vor dem Auflösen der restlichen Folie konnte eine Kontamination des Ätzers durch Partikel verhindert werden.



### 3.3.4 Zusammenfassung

Insgesamt konnten durch die entwickelte Methode der Pad-Vergoldung 35 Chips für die Einbettung in ein Foliensubstrat mit Nanodrähten vorbereitet werden. Von besonderer Bedeutung ist dabei, dass bei der Ablösung durch die Rückseitenätzung kein Chip beschädigt wurde. Auch bei der anschließenden Reinigung ging kein Chip verloren. Durch die Verwendung dieses Prozesses ist es nun möglich, Chips ab der Losgröße von einem Chip an den Kontaktpads zu vergolden. Der Prozess erweist sich dementsprechend als wichtiges Werkzeug in der Entwicklung der Methode zur Face-Down Einbettung von Si-Chips mit Nanodrähten.

## 3.4 Zusammenfassung

In diesem Kapitel wurden die in Kapitel 2 entwickelten Konzepte realisiert und die Prozessierung der Wafer durchgeführt. Für das NFC-Face-Up-System wurde der aus dem Schichtaufbau resultierende Prozessfluss vorgestellt. Zusätzlich wurden die für den Prozess wichtigsten Teilschritte genauer diskutiert und die Ansätze und Lösungswege vorgestellt. Auch für das Sensor-System wurde der Prozessfluss und die wichtigsten Teilschritte erklärt. Zuletzt wurde der für den Face-Down Prozess notwendige Zusatzschritt der Vergoldung von Kontaktpads erläutert.

## 4 Elektrische Charakterisierung

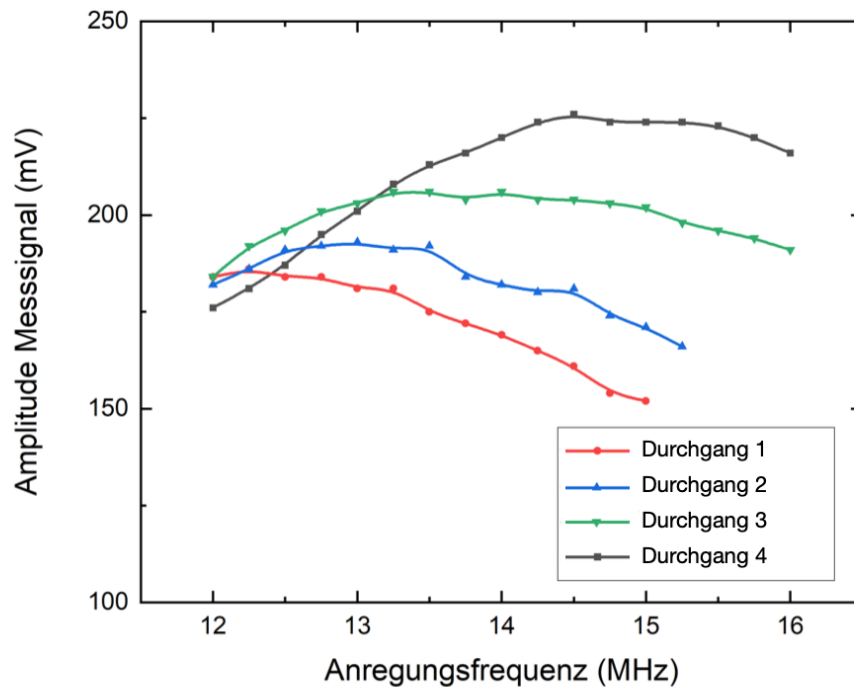
In diesem Kapitel werden die realisierten Foliensysteme aus Kapitel 3 elektrisch charakterisiert.

### 4.1 Face-Up NFC-Tag

Zuerst wird der hergestellte NFC-Tag untersucht. Nach dem Ablösen muss die Resonanzfrequenz gemessen werden. Das dafür benötigte Messsetup wird vorgestellt. Anschließend wird das Verhalten des gesamten Tags untersucht und der NFC-Chip NF4 sowie der Mikrocontroller EM6819 erprobt. Aus den gewonnenen Informationen werden anschließend Schlussfolgerungen über das Layout und den Aufbau gezogen.

#### 4.1.1 Charakterisierung Resonanzfrequenz

Mit dem in Kapitel 1.3.4 vorgestellten Messsetup lässt sich das Resonanzverhalten eines NFC-Tags vermessen. Mit dem ermittelten Ergebnis wird anschließend die Kapazität des Tuning-Kondensators angepasst.



**Abbildung 4.1:** Ergebnis der Messung der Resonanzfrequenz

Im Diagramm 4.1 ist das Messergebnis mehrerer Resonanzfrequenzmessungen dargestellt. Mit einer Anregungsspannung und einer Amplitude von 1200 mV wurde ein Frequenzbereich von 12 MHz bis 16 MHz durchlaufen. Die jeweilige Resonanzfrequenz korrespondiert mit der Frequenz der größten sich am Oszilloskop einstellenden Amplitude. [17]

Vor jeder Messung wurde ein weiterer Abschnitt des Tuning-Kondensators entfernt. Dadurch erhöhte sich die Resonanzfrequenz. Nach drei Durchgängen konnte eine Resonanzfrequenz von ca. 13,75 MHz erreicht werden. Ein weiteres Entfernen von Abschnitten des Kondensators führte zu einer zu hohen Frequenz in Durchgang 4 mit ca. 15 MHz. Durch die Abtrennung von laufend kleineren Abschnitten kann in Zukunft die Resonanzfrequenz noch genauer eingestellt werden.

### 4.1.2 Funktionsprüfung

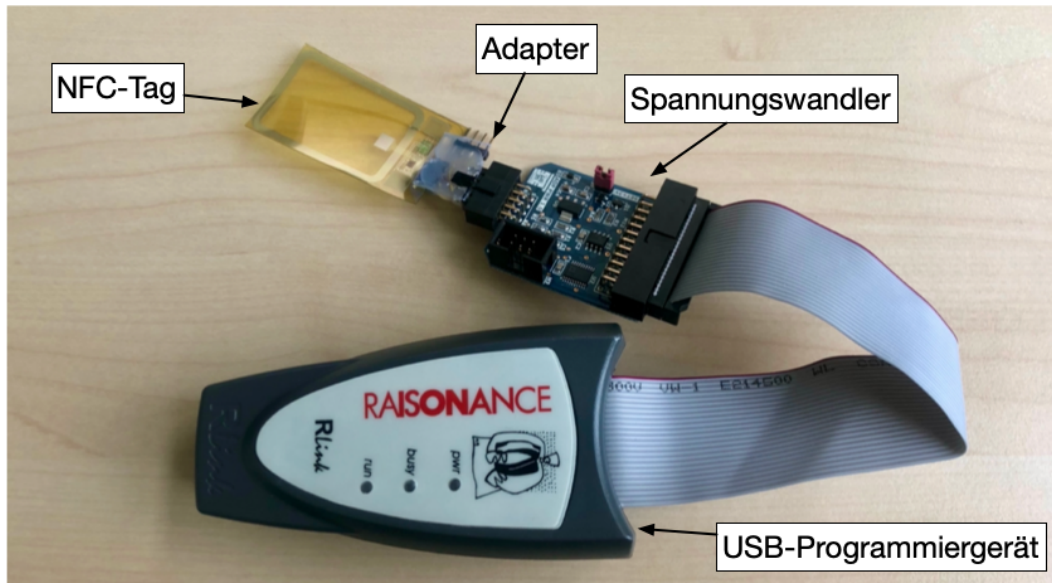
Nach dem Ablösen der Tags vom Trägerwafer wurde die Resonanzfrequenz jedes Tags bestimmt und zur Erhöhung, bei einem zu niedrigen Ergebnis, ein Teil des Tuning-Kondensators abgetrennt. Dieser Vorgang wurde iterativ mehrmals pro Tag durchlaufen. Es mussten bis zu fünf Teilkondensatoren abgetrennt werden. Auf den fertig optimierten Tag sollte ein Webseitenaufruf mit Hilfe eines Smartphones iPhone X als Funktionstest geschrieben und anschließend gelesen werden. In Abbildung 4.2 ist der Lesevorgang mit einem Smartphone zu sehen. Der zu lesende Tag wurde unter das Lesegerät gelegt. Nach dem Aktivieren des NFC-Lesemodus des Geräts wurde der Tag erkannt und die hinterlegte Adresse einer Webseite ausgelesen.



**Abbildung 4.2:** Erfolgreicher Lesevorgang der auf dem Tag hinterlegten URL

Für die Funktionsprüfung des EM6819 wurde der zugehörige USB Programmer über einen Adapter mit dem Tag verbunden. Zwischen dem Programmiergerät

und dem Adapter ist zusätzlich ein Spannungswandler verbaut, um die Versorgungsspannung von 3,3 V bereitzustellen. Anschließend wurde die Verbindung mit dem PC und der zugehörigen Entwicklungsumgebung Ride7 getestet und ein Beispielprogramm auf den Mikrocontroller übertragen. In Abbildung 4.3 ist das Programmiergerät in Verbindung mit einem NFC-Tag zu sehen.



**Abbildung 4.3:** NFC-Tag mit angeschlossenem Programmiergerät des EM6819 Mikrocontrollers

In Tabelle 4.1 ist das Ergebnis der Funktionsprüfung der insgesamt fünf abgelösten Face-Up NFC-Tags aufgelistet. Eine mögliche Ursache sind Kurzschlüsse in den beiden Kondensatoren  $C_{Sup}$  und  $C_{tuning}$ . Diese wurden durch den geringen Leiterbahnabstand von nur  $10\ \mu\text{m}$  und den bei der Ätzung von Metallage verlaufenen Fotolack begünstigt.

**Tabelle 4.1:** Prüfprotokoll der abgelösten NFC-Tags

Tag Nr.	Wafer	NF4-Funktion	EM6819-Funktion
1	02	✓	✗
2	02	✗	✗
3	02	✓	✓
4	03	✓	✓
5	03	✗	✓

Bei 2/5 Tags waren beide Chips kombiniert programmier- bzw. beschreibbar. Dadurch können folgende Aussagen über den Aufbau und das Layout des NFC-Tags getroffen werden:

- Das Layout der Antenne ist prinzipiell funktionsfähig
- Über das Layout des Tuning-Kondensators kann die Resonanzfrequenz des Tags verändert werden
- Der Kontakt zwischen Antenne und NF4 ist herstellbar und NFC-Chip ist dadurch einsatzfähig
- EM6819 kann exemplarisch programmiert werden
- EM6819 kann im Debug-Modus betrieben werden
- Der NFC-Patch verhält sich bisher, wie im Prototyp vorgesehen

## 4.2 Elektrische Charakterisierung des Sensor-Systems

Vor einer Integration der Sensor-Systeme auf einem NFC-Tag muss zuerst das Verhalten der Sensoren charakterisiert werden. Der Anfangswert aller Widerstände wird dabei bei jedem Die gemessen. Anschließend soll das Verhalten bei Temperaturänderung untersucht werden. Mit den so gewonnenen Messungen kann das berechnete Verhalten des Temperatursensors aus Abbildung 2.13 überprüft und gegebenenfalls bestätigt werden. Zusätzlich soll die Temperaturkompensation der Dehnungssensoren gezeigt werden.

### 4.2.1 Versuchsdurchführung

Um eine automatisierte Messung zu ermöglichen, steht deshalb am IMS ein vollautomatischer Nadelprober MPI-TS2000 mit einer angeschlossenen Sourced-Measurement-Unit (SMU) zur Verfügung. Mit Hilfe einer hinterlegten Karte des

Wafers kann jeder Widerstand sequentiell kontaktiert und mit der SMU vermessen werden. Um externe Einflüsse auf die Messung auszuschließen, ist der Prober mit einer abgeschirmten Messkammer ausgestattet. Durch einen temperierbaren Chuck kann der zu messende Wafer auf unterschiedliche Temperaturen von 10 °C bis 350 °C gebracht werden.

Mit Hilfe der SMU wird eine Spannung von  $-1\text{ V}$  bis  $20\text{ V}$  angelegt. Für eine Vermessung der einzelnen Widerstände wurde eine Vierpunktmessung ausgewählt. Über zwei getrennte Messleitungen pro Kontakt des Widerstands kann so die angelegte Spannung und die sich einstellende Stromstärke getrennt ohne Einfluss der Messleitungen erfasst werden. Pro Die werden so die sechs einzelnen Messwiderstände gemessen.

Um die Qualität der Herstellung der Foliensysteme zu überprüfen, werden alle Dies bei Raumtemperatur gemessen. Anschließend wird die Temperatur in Schritten von 25 K auf maximal 100 °C erhöht und auf jeder Stufe eine weitere Messung durchgeführt. Da alle Dies einmal bei Raumtemperatur gemessen wurden, wird zur Optimierung der Messdauer nur jeder zweite Die bei höheren Temperaturen vermessen. Über eine Charakterisierung kann dadurch auf das Verhalten der nicht vollständig vermessenen Sensoren geschlossen werden.

Zur Bestimmung des Widerstands wird anschließend mit Matlab in die erfasste U-I Kennlinie jedes Widerstands eine Gerade gefittet. Aus der Steigung der Gerade wird der zugehörige Widerstand berechnet. Alle berechneten Widerstände wurden anschließend gesammelt und für jedes Sensor-System ein Diagramm mit der Temperatur-Widerstands-Kennlinie automatisch generiert und gespeichert.

### 4.2.2 Messergebnisse

Vor einer Beurteilung des Verhaltens eines Sensor-System-Dies müssen zuerst fehlerhafte Messungen und defekte Systeme aussortiert werden. Anhand der Linearität der Widerstandsgeraden können die Messungen bewertet werden. Aus den funktionalen Systemen mit vollständiger Messung wurde anschließend ein exemplarisches System ausgewählt.

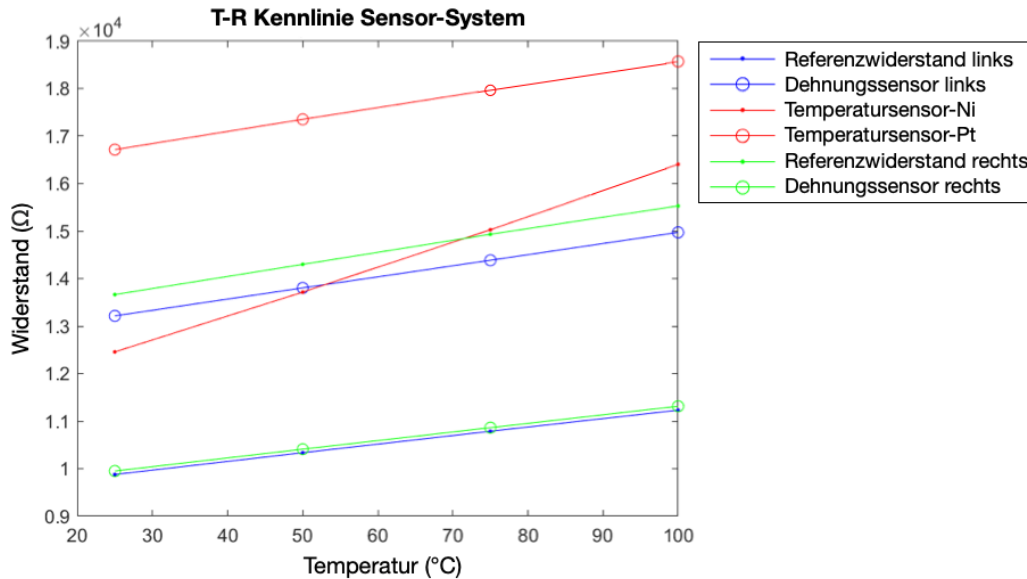


Abbildung 4.4: T-R Kennlinie eines Sensor-Foliensystems

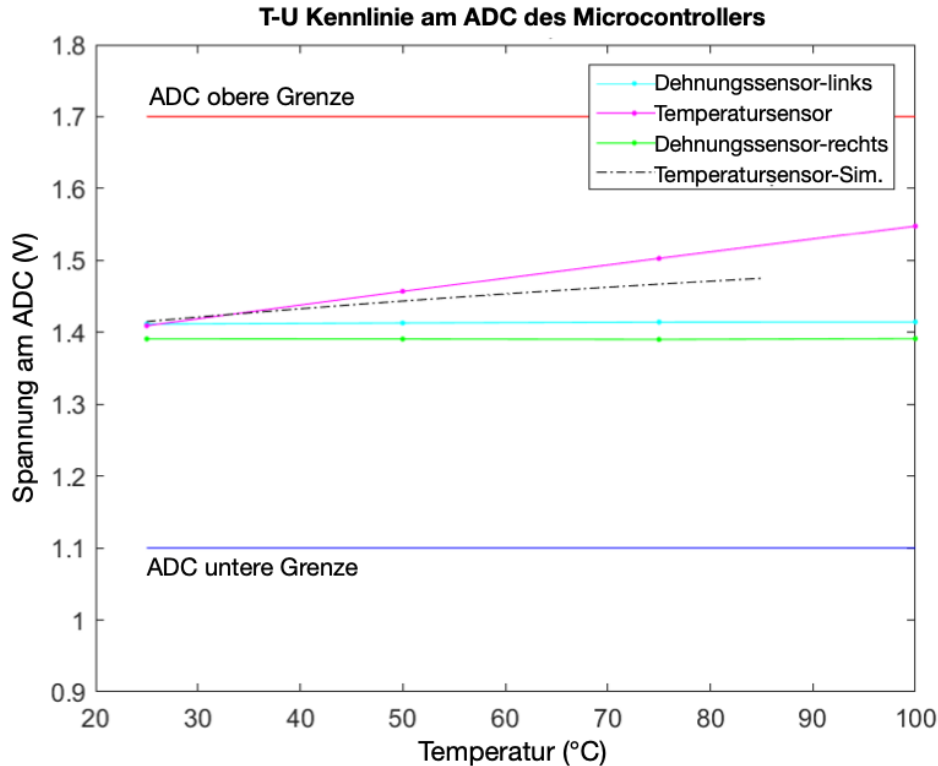
In Abbildung 4.4 sind die Widerstände eines Sensor-Systems bei unterschiedlichen Temperaturen eingezeichnet. Jeder Messwiderstand und der zugehörige Referenzwiderstand wurden farblich gruppiert.

Erkennbar ist zuerst der parallele Verlauf aller Au-Widerstände der beiden Dehnungssensoren. Auch ist die nur geringe Abweichung des Widerstands der baugleichen Widerstände Sensor-Rechts zu Sensor-Links und Referenz-Rechts zu Referenz-Links erkennbar.

Wichtig für das Funktionsprinzip des Temperatursensors ist eine unterschiedliche Steigung der Kennlinie des Ni-Temperatursensors im Vergleich zum zugehörigen Pt-Messwiderstand. Der aus Nickel hergestellte Sensor weist insgesamt einen größeren Steigung auf.

Diese Messwerte lassen jedoch noch keinen Rückschluss auf das Ausgangsverhalten der Anordnung in Form eines Spannungsteilers zu. Deshalb wurde mithilfe der gemessenen Widerstände die am ADC des Mikrocontroller theoretisch anliegende Messspannung  $U_{ADC}$  berechnet. Für die Berechnung wird eine Versorgungsspannung von 3,3 V angenommen.





**Abbildung 4.5:** Aus den Messwerten berechnetes Verhalten der Ausgangsspannung  $U_{ADC}$  des Sensor-Foliensystems

Die resultierende  $T-U_{ADC}$  Kennlinie der beiden Dehnungssensoren und des Temperatursensors ist in [Abbildung 4.5](#) dargestellt. Zusätzlich eingezeichnet wurde das in [Kapitel 2.4.3](#) berechnete Verhalten der Ausgangsspannung des Temperatursensors. Auch wurde die obere und untere Grenze der messbaren Spannungen des ADCs des Mikrocontrollers EM6819 eingezeichnet.

### 4.2.3 Diskussion der Messergebnisse

Ein wichtiges Kriterium für die Entwicklung des Sensor-Systems war die Kompatibilität mit den integrierten analog-zu-digital Konvertern (ADC) des EM6819. Wichtig ist, dass alle im Messbereich auftretende Spannungen durch den ADC erfasst und in einen Digitalwert konvertiert werden können. In [Abbildung 4.5](#) ist das Verhalten der Ausgangsspannung des Temperatursensors dargestellt. Erkennbar ist der nahezu ähnliche Abstand der Kennlinie zur oberen und unteren

Grenze des ADCs. Eine Überschreitung der Grenzen konnte im Messbereich von 25 °C bis 100 °C nicht beobachtet werden.

Zusätzlich verhält sich der Temperatursensor in der Messung sehr ähnlich im Vergleich zu der eingezeichneten simulierten Kennlinie. Es besteht jedoch eine kleine Abweichung bei der Steigung der Kennlinie. So verändert sich die Ausgangsspannung im realen System stärker, als in der Berechnung angenommen wurde. Das beschriebene Verhalten könnte durch nicht in der Berechnung berücksichtigte nicht-lineare Faktoren bei der Änderung des Widerstands unter Temperaturänderung verursacht werden. Zusätzlich können Messabweichungen eine Ursache für die Divergenz der beiden Kurven sein. Insgesamt verhält sich der Temperatursensor jedoch besser als erwartet, da eine steilere Kennlinie für eine bessere Genauigkeit bei der Auswertung mit einem ADC sorgt. Die durch Temperaturänderung auftretenden Spannungsänderungen sind so insgesamt größer und für den Mikrocontroller präziser unterscheidbar.

Bei der Entwicklung der Dehnungssensoren wurde eine inhärente Temperaturkompensation angestrebt. In Abbildung 4.5 ist zu sehen, dass die Kennlinie beider Dehnungssensoren waagrecht ohne erkennbare Steigung verläuft. Dies bestätigt die Funktion der Temperaturkompensation. Zusätzlich beträgt die Ausgangsspannung konstant ca. 1,4 V und liegt damit im Ruhezustand des Systems in der Mitte des Messbereichs. Die Messung der Veränderung der Ausgangsspannung unter Biegung erfolgt in einem nächsten Schritt.

## 5 Zusammenfassung und Ausblick

Ziel dieser Arbeit war es, einen NFC-Tag mit einem integrierten Temperatursensor und einem Dehnungssensor zu entwickeln. In ein Foliensystem sollten dazu die nötigen Silizium Chips eingebettet und die zugehörigen Zusatzkomponenten nativ realisiert werden. Als NFC-Chip wurde der EM NF4 vorgegeben. Der Mikrocontroller EM6819 wurde für die Ansteuerung und die Auslesung der Sensoren festgelegt. Bei der Herstellung der Foliensysteme sollte die Einbettung der ultradünnen Chips sowohl mit der erprobten Face-Up Methode, als auch mit dem neuartigen Face-Down Prozess mit Nanodrähten erfolgen. Der fertige NFC-Tag soll anschließend auf seine Funktion überprüft und das Verhalten der Sensoren charakterisiert werden.

Das geplante vollständige System wurde dabei in zwei Teilsysteme aufgeteilt. Der erste Teil besteht aus einem NFC-Foliensystem mit den beiden eingebetteten Chips und der zugehörigen Antenne. Die zugehörigen Dehnungs- und Temperatursensoren wurden auf einem eigenständigen Sensor-System hergestellt. Dies reduziert die Komplexität und ermöglicht den Aufbau des Tags sowohl mit dem Face-Up als auch mit dem Face-Down Prozess.

Vor der finalen Festlegung des Aufbaus der Systeme wurde ein Prototyp auf Basis einer starren Leiterplatte entwickelt. Dadurch konnten sowohl die beiden Chips als auch unterschiedliche Layouts der Antennen vorab vermessen werden.

Wesentlich für die beiden NFC-Tags sind vor allem zwei Metalllagen mit integrierten Leiterbahnen. So wurde eine Antenne in Form einer Spule integriert. Da die Resonanzfrequenz der Antenne erst nachträglich eingestellt werden kann, wurde ein später modifizierbarer Tuning-Kondensator integriert. Basierend auf den beiden Chips und dem am Prototyp erprobten Schaltplan wurde anschließend ein vollständiges Layout mit allen Leiterbahnen und externen Kontakten für die späteren Sensoren gezeichnet. Insgesamt wurden auf dem finalen Wafer-Layout je

sechs NFC-Systeme realisiert. Über drei Spannungsteiler sollen jeweils die erzeugten Widerstandsänderungen in eine messbare Spannung konvertiert werden. Der Temperatursensor besteht dabei aus einem Platin- und einem Nickel Sensorwiderstand. Die beiden nach Raumrichtung getrennten Dehnungssensoren wurden mit ihrem zugehörigen Referenzwiderstand vollständig aus Gold aufgebaut. Das erwartete Verhalten des Temperatursensors wurde bei der Auslegung der Messwiderstände berechnet.

Zur Einbettung der Chips mit dem Face-Down Prozess werden zusätzlich vergoldete Kontaktpads der bereits gesägten und rückgedünnten Chips benötigt. Aus diesem Grund wurde ein neuartiger Zusatzprozess auf Basis eines Foliensystems entwickelt. Die Chips werden dabei auf einem Foliensystem aufgeklebt und die Kontaktpads per Lift-off vergoldet. Nach dem Ablösen der Folie werden die Chips durch eine Rückseitenätzung wieder vereinzelt.

Wichtige Teilschritte und auftretende Probleme der Prozessierung wurden diskutiert und die entwickelten Detaillösungen vorgestellt.

Mit einem Messaufbau erfolgte die Messung der jeweiligen Resonanzfrequenz. Durch Abtrennen von Teilen des Tuning-Kondensators gelang iterativ eine Optimierung. Mit einem handelsüblichen Smartphone als Lesegerät konnten anschließend Daten auf den Tag geschrieben und gelesen werden. Ebenso war mit einem Programmieradapter das Programmieren des EM6819 möglich.

Zur Charakterisierung der Sensor-Systeme wurde eine Messung auf einem beheizten Nadelprober durchgeführt. Bei  $25^{\circ}\text{C}$  bis maximal  $100^{\circ}\text{C}$  wurden in mehreren Teilschritten alle Widerstände gemessen und das Ergebnis anschließend diskutiert.

Aus zeitlichen und prozessbezogenen Gründen konnte die Prozessierung des Face-Up Systems nicht fertiggestellt werden, da der Aufwand den Umfang dieser Masterarbeit überstieg. In naher Zukunft ist daher die Fertigstellung und Charakterisierung des NFC-Tags mit Nanodrähten geplant. Zusätzlich muss die Sensor-Folie vom Wafer abgelöst und in einem Ofen und unter Biegung vermessen werden, bevor beide Systeme als Sensor-Tag kombiniert werden können. In einer zukünftigen Arbeit könnte anschließend die Einbettung per Face-Up und mittels Nanodrähten verglichen werden. Für eine Verwendung in der Medizintechnik wäre eine Verkleinerung der benötigten Fläche des Foliensystems ein lohnendes Ziel.

Durch diese Arbeit wurde ein großer Fortschritt bei der Entwicklung von voll-

ständig integrierten Chip-Film Patch Foliensystemen erzielt, hinter dem sich ein weites Feld für mögliche Sensoren und Anwendungen in Kombination mit Kommunikation und Energieversorgung per NFC eröffnet.



# Anhang: Übersicht der verwendeten Geräte

**Tabelle A.1:** Übersicht der verwendeten Geräte zur Prozessierung der Charge

Prozessschritt	Gerät	Hersteller
manuelle Beschichtung/ Belackung	easyline 200	Solar-Semi GmbH
Beschichtung/ Bela- ckung/ Entwicklung	Clustertool Gamma	SÜSS MicroTec SE
Heizplatte	EVG 105	EV Group
Belackung Ti-Prime/ VM-651/ man. Entwick- lung	SPS POLOS200	SPS-Europe B.V.
halbautomatische Bela- ckung Fotolacke	EVG 101	EV Group
Belichtung	HIMT VPG400	Heidelberg Instruments Mikrotechnik GmbH
Maskenbelichtung	HIMT ULTRA	Heidelberg Instruments Mikrotechnik GmbH
Kontaktbelichtung	6200NT	EV Group
Aufdampfen Ni	UNIVEX 900	Leybold GmbH
Aufdampfen Pt/Au	Leybold 500	Leybold GmbH
Sputtern AlSi	Endura	Applied Materials Inc.
Lift-Off/ Ablacken	LPW-Digestorium org.	LPW Reinigungssyste- me GmbH
Nasschemisches Ätzen	LPW-Nassbank anorg.	LPW Reinigungssyste- me GmbH
BCB/ PI Ätzen	PlasmaLab System 100	Oxford Instruments
Alu Ätzen	PlasmaPro 100	Oxford Instruments
Chrom-Ätzen	PlasmaPro 1000 Astrea	Oxford Instruments
Waferbeschriftung	InnoLas IL 2000	InnoLas Semiconductor GmbH
Schichtdickenmessung	Nanocalc	Promicon
Automatischer Nadel- prober	TS 2000-HP	MPI
Profilometer	TopMap Micro.View+	Polytec GmbH
Wafer Rückschleifen	DAG 810	Disco

# Danksagung

Das Gelingen dieser Arbeit wäre ohne viele Unterstützerinnen und Unterstützer nicht möglich gewesen. An dieser Stelle möchte ich mich bei einigen besonders bedanken:

- Bei Herrn Prof. Dr.-Ing. Joachim Burghartz für das Ermöglichen dieser Arbeit am Institut für Mikroelektronik Stuttgart.
- Bei Frau Ulrike Passlack für die Betreuung und die vielen Diskussionen und Anregungen.
- Bei Herrn Dr. Björn Albrecht für seine hohe Zeitinvestition, Geduld und den konstruktiven Gedankenaustausch.
- Bei Herrn Steffen Epple für die Betreuung und die super Ideen bei allen elektrotechnischen Herausforderungen.
- Bei allen Mitarbeiterinnen und Mitarbeitern der Abteilung Aufbautechnik, namentlich Elisabeth Penteker, Dr. Christine Harendt, René Krüger, Christiane Schomburg und Shuo Wang für ihre außerordentliche Hilfe bei der Prozessierung der Foliensysteme.
- Beim Chipmontage Team Dennis Kühnle und Stephan Schmiel für das Ermöglichen fast unmöglicher Chip-Aufbauten.

Zusätzlich gilt mein Dank dem gesamten Team von IMS CHIPS, besonders den Mitarbeiterinnen und Mitarbeitern des Bereichs Technologie. Ohne ihre Anregungen und Mithilfe wäre die Prozessierung im Reinraum undenkbar gewesen. Zuletzt möchte ich besonders meiner Freundin Johanna, meinen Eltern und Geschwistern herzlich danken. Ohne sie wäre mein Studium nicht möglich gewesen.



# Literaturverzeichnis

- [1] H.-R. Tränkler and L. Reindl, *Sensortechnik*. Springer Berlin Heidelberg, 2014.
- [2] G. Proehl, “An introduction to near field communications,” *RF Memories and Transceivers, STMicroelectronics*, 2013.
- [3] Y. Liu, M. Pharr, and G. A. Salvatore, “Lab-on-skin: A review of flexible and stretchable electronics for wearable health monitoring,” *ACS nano*, vol. 11, no. 10, pp. 9614–9635, 2017.
- [4] R. S. Dahiya and S. Gennaro, “Bendable ultra-thin chips on flexible foils,” *IEEE Sensors Journal*, no. 10, pp. 4030–4037, 2013.
- [5] M.-U. Hassan, C. Schomburg, C. Harendt, E. Penteker, and J. N. Burghartz, “Assembly and embedding of ultra-thin chips in polymers,” *2013 European Microelectronics Packaging Conference (EMPC)*, 2013.
- [6] M. Elsobky, “Ultra-thin sensors and data conversion techniques for hybrid system-in-foil,” *Dissertation*, 2019.
- [7] M. Elsobky, G. Alavi, B. Albrecht, T. Deuble, C. Harendt, H. Richter, Z. Yu, and J. N. Burghartz, “Ultra-thin sensor systems integrating silicon chips with on-foil passive and active components,” *Proceedings of Eurosensors 2018*, vol. 2, no. 13, 2018.
- [8] B. Albrecht, G. Alavi, M. Elsobky, S. Ferwana, U. Passlack, C. Harendt, and J. N. Burghartz, “Multi-chip patch in low stress polymer foils based on an adaptive layout for flexible sensor systems,” in *2018 7th Electronic System-Integration Technology Conference (ESTC)*, 2018, pp. 1–5.
- [9] HD MicroSystems, “Pi-2600 series - low stress polyimides: Product bulletin - technical information,” 2008.
- [10] R. Zhang, H. Liu, B. Li, and T. Sugiya, “Ultra wafer thinning and dicing technology for stacked die packages,” *2016 China Semiconductor Technology International Conference (CSTIC)*, pp. 1–5, 2016.

- 
- [11] The Dow Chemical Company, "Cyclotene 3000 series advanced electronics resins: Processing procedures for cyclotene 3000 series dry etch resins," 2012.
- [12] The Dow-Chemical Company, "Cyclotene 4000 series advanced electronic resins (photo bcb): Processing procedures for cyclotene 4000 series photo bcb resins," 2009.
- [13] S. Wang, B. Albrecht, C. Harendt, J. D. Schulze Spüntrup, and J. N. Burghartz, "Ultra-thin image sensor chip embeded foil," in *2021 IEEE International Conference on Flexible and Printable Sensors and Systems (FLEPS)*, 2021, pp. 1–4.
- [14] F. Roustaie, S. Quednau, F. Dassinger, and O. Birlem, "Room temperature interconnection technology for bonding fine pitch bumps using nanowiring, klett welding, klettsintering and klett glueing," *2020 15th International Microsystems, Packaging, Assembly and Circuits Technology Conference (IMPACT)*, pp. 168–171, 2020.
- [15] I. J. Bahl, *Lumped elements for RF and microwave circuits*, ser. Artech House microwave library. Boston: Artech House, 2003.
- [16] "NFC-Forum." [Online]. Available: <https://nfc-forum.org>
- [17] ST Microelectronics, "Application note an2972: How to design an antenna for dynamic nfc tags," 2019.
- [18] EM Microelectronic-Marin SA, "Em6819 datasheet," 2014.
- [19] EM Microelectronic Marin SA, "Nf4 datasheet," 2013.
- [20] A. Müller, "Entwicklung und Charakterisierung eines Dehnungssensors auf Polyimid Basis," *Studienarbeit am Institut für Mikroelektronik Stuttgart*, 2019.
- [21] M. Kübler, "Entwicklung und Charakterisierung eines Feuchtigkeitssensors zur internen Überwachung der integrierten Elektronik im Chip-Film Patch," *Studienarbeit am Institut für Mikroelektronik Stuttgart*, 2022.
- [22] Alavi Golzar, Burghartz Joachim N., Sailer Holger, Albrecht Bjoern, and Harendt Christine, "Optimized adaptive layout technique for hybrid systems in foil," in *21st European Microelectronics 2017*, pp. 1–5.

# Erklärung

Ich versichere hiermit, dass ich die vorliegende Masterarbeit selbstständig verfasst und keine weiteren als die angegebenen Hilfsmittel benutzt habe. Die Stellen der Arbeit, die anderen Werken dem Wortlaut oder dem Sinn nach entnommen sind, wurden durch Angabe der Quellen sichtbar gemacht.

Diese Arbeit hat in gleicher oder ähnlicher Form noch keiner anderen Prüfungsbehörde vorgelegen.

Stuttgart, den 1. Oktober 2022

Name: Michael Kübler

Unterschrift:  \_\_\_\_\_